KGS 比思电子有限公司
-Your PCB Solution- KGS Technology Ltd.

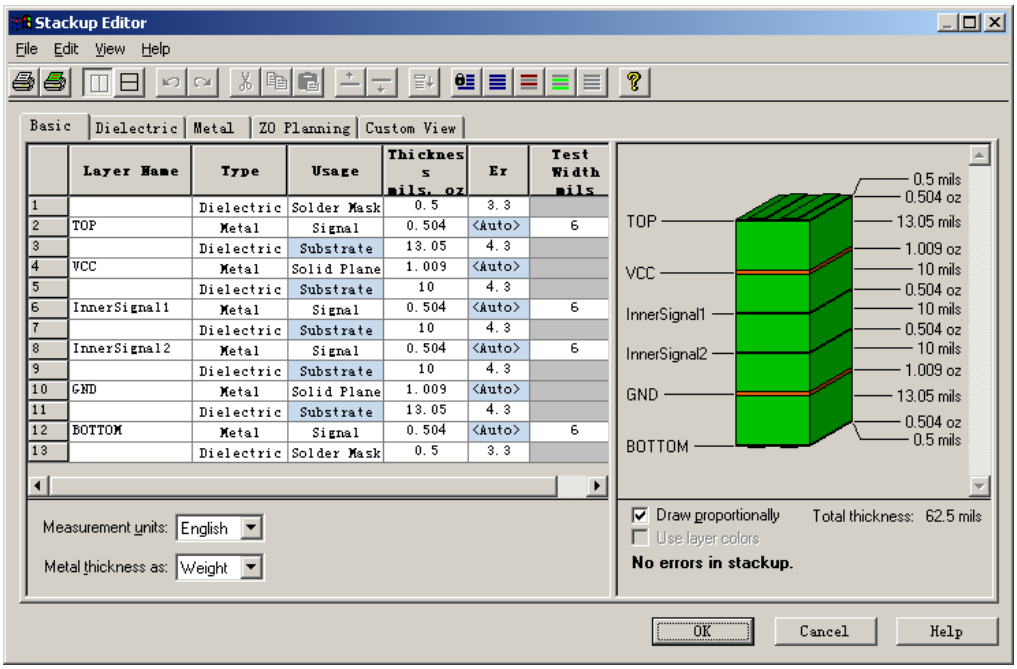
HyperLynx 入门指南

HK +852-26371886 SZ 755-88859921 www.kgs.com.hk SH 21-51087906 BJ 10-51665105

目录

- 使用叠层编辑器进行阻抗计算
- 使用 LineSim 进行布线前仿真
- LineSim 串扰分析
- BoardSim 的交互式仿真
- BoardSim 端接向导
- BoardSim 串扰分析
- BoardSim 板级分析
- BoardSim 差分和 GHz 仿真
- 直观的 IBIS 编辑器
- 建立一个 Databook 模型

使用叠层编辑器进行阻抗计算



在 BoardSim 和 LineSim 中均包括一个功能强大的叠层编辑器，使用它可以很简单地对您的 PCB 进行叠层设计和修改，以及对每个信号层进行特性阻抗的计算，以便您对信号反射和信号完整性的控制。

特性阻抗

传输线和负载阻抗的匹配，以及选择合适的端接器件的值对信号完整性是很重要的。BoardSim 和 LineSim 的叠层编辑器正是对其控制的开始。

首先请记住特性阻抗 Z0 的计算等式：

$$Z0 = \sqrt{(L/C)}$$

增大电容可以通过一下方式：

- 加宽走线
- 减小信号层和参考层的距离
- 增加介电常数

这样就使等式的分母变大，也就降低的特性阻抗 Z0。当然，减小电容就使 Z0 增大。

而反射系数的计算等式如下：

Refl. % = (ZL - Z0) / (ZL + Z0)

当我们进行 PCB 设计时，对那些驱动端上升或下降时间小于等于 5ns 的单端信号线必须进行端接。这个功能能够帮助我们选择合适的端接值，以便我们知道这个端接值 ZL（例如：终端端接），以便我们可以控制信号反射和信号完整性，或者为了达到理想的目标特性阻抗值，调整优化我们的叠层结构。

建立一个新的 LineSim 原理图

- 点击工具条上的图标“New LineSim Schematic” ，便可以建立一个新的 LineSim 原理图，或者通过菜单选择 File -> New LineSim File…。

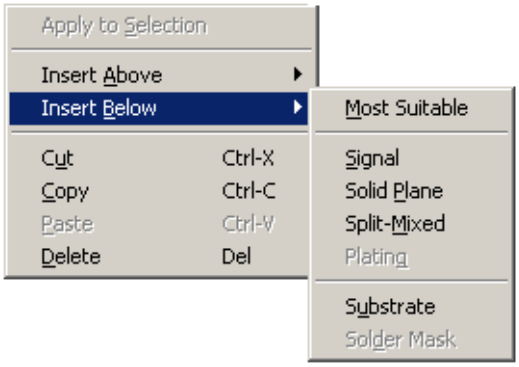
- 选择工具条上绿色的叠层图标“Edit PCB Stackup” ，或者通过菜单的 Edit -> Stackup…选项，您将看到一个 6 层板的叠层结构图以及各层和介质层的参数。

- 双击您需要编辑的项目表格，例如介质层厚度、线宽等等，根据需要编辑顶层、底层和各个走线层、参考层以及介质层的参数，您可以分别选择 Basic、Dielectric、Metal、Z0 Planning、Custom View 进行各个项目的编辑。

- 另外，您可以在左边的叠层参数窗口中通过鼠标拖动的方式对叠层的结构进行调整，也可以在右边的叠层示意图中进行鼠标拖动的操作。编辑各项参数，直到得到您需要的特性阻抗值。

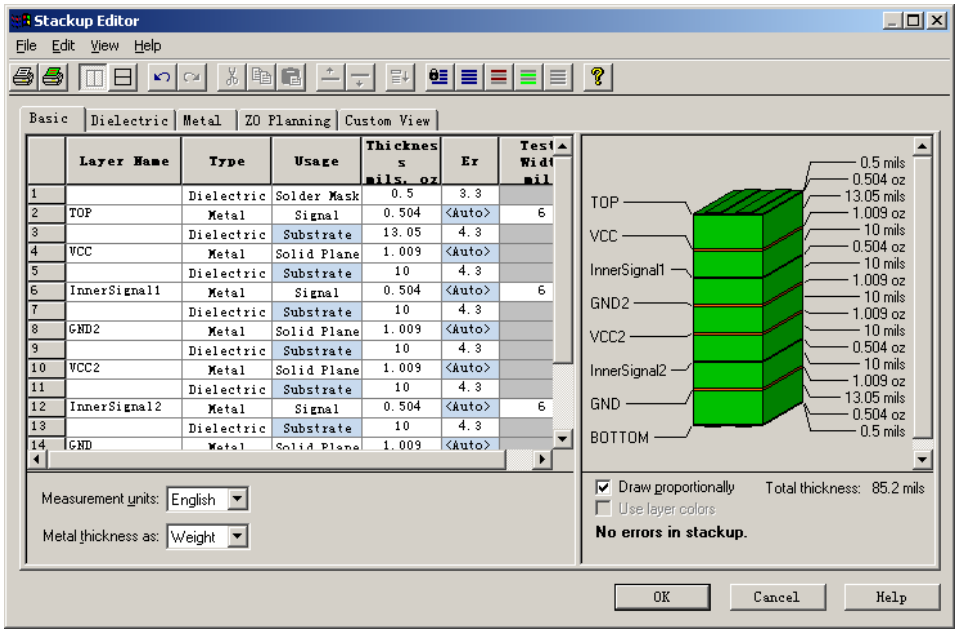
增加新的层

- 在叠层编辑器“Stackup Editor”的左边叠层参数编辑窗口中单击您需要增加层的位置，单击右键弹出菜单，选择在当前位置的上面或者下面增加层，如下图所示：



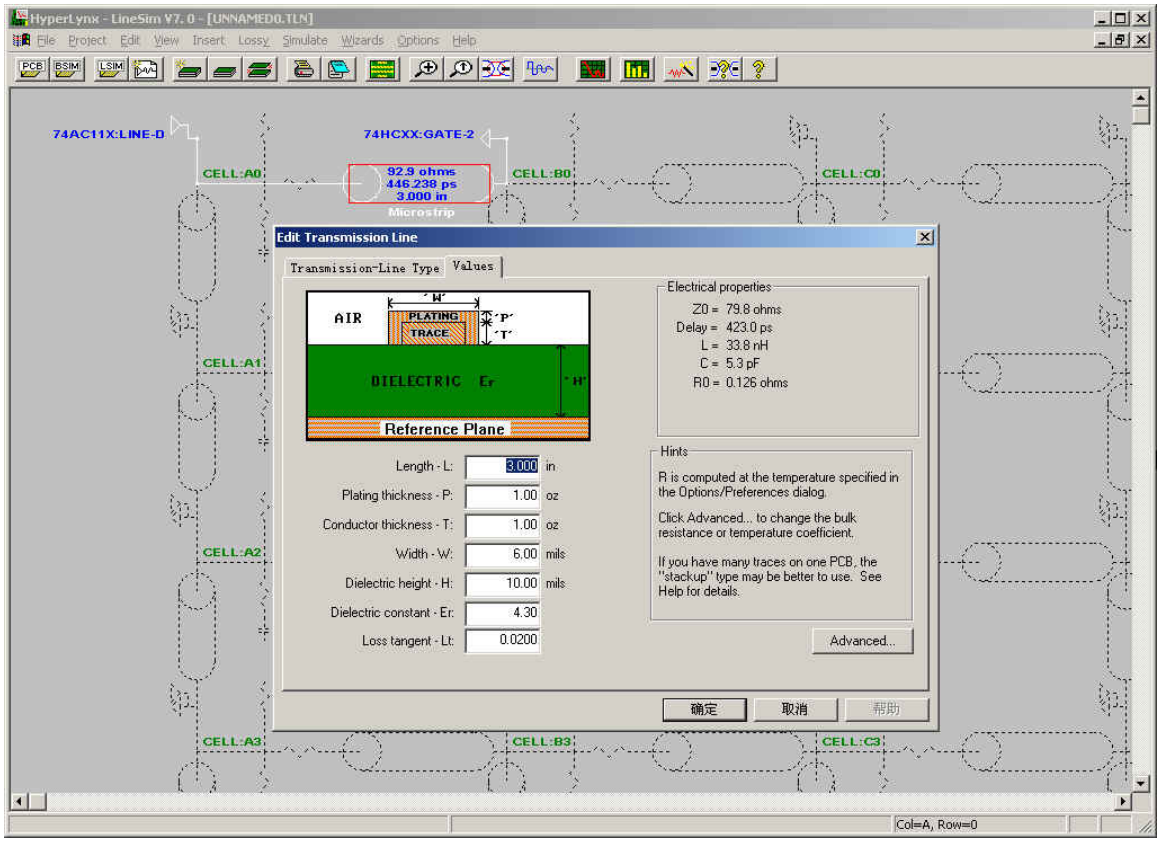
- 例如，现在要将目前的 6 层板改为 8 层板，这样我们可以在第三层位置单击，然后点击鼠标右键选择 Insert Below 选项中的 Solid Plane 选项，

增加一个 GND2 的参考层（层的名称可以增加层后，在 Layer Name 的栏目位置进行修改），用同样的方法，增加一个 VCC2 的参考层。增加层后如下图：



- 增加层后再根据您的需要对各层的参数进行设定，以满足您的特性阻抗需要。

使用 LineSim 进行布线前仿真



在PCB板上的所有信号中，时钟网络不管对信号完整性还是EMC辐射问题，始终都是最应该被关注的。让我们来看看 LineSim 是如何帮助您对时钟网络进行仿真的，以及在您设计原理图时和设计 PCB 之前制定物理上的布线约束条件。

LineSim 可以帮助您在设计的任何阶段快速地进入和解决“what-if”的信号完整性和 EMC 问题。它的分析是基于 LineSim 的独特方便的点击式的传输线建立方式。以下介绍均已 HyperLynx V7.0 为例。

LineSim 的特点：

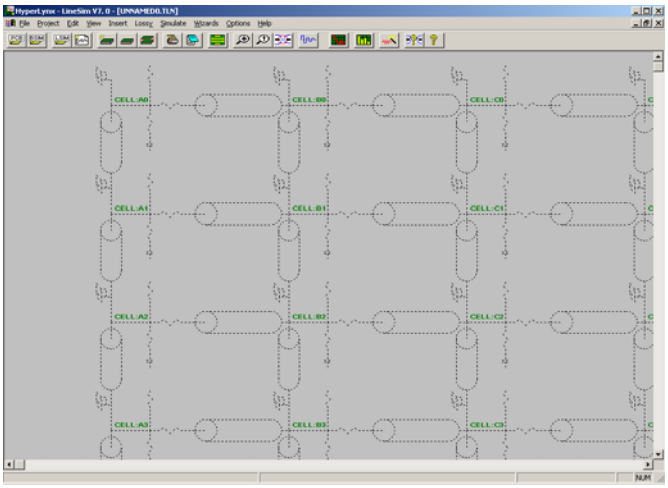
- 在 PCB 设计之前制定高速网络的布线约束规则。
- 这种方式是查找和解决设计过程中可能出现的问题最为省钱的方式。

建立原理图之前

- **点击工具条上的图标按钮 ，编辑 PCB 叠层的图标，检查一下叠层结构是否是您目前设计所要的（默认是 6 层板）。您可以根据您的需要增加、删除或者编辑各层。**
- **点击 OK 按钮。**

建立一个原理图

单击工具条上的新建 LineSim 原理图图标按钮 ，建立新的 LineSim 原理图。如下图。



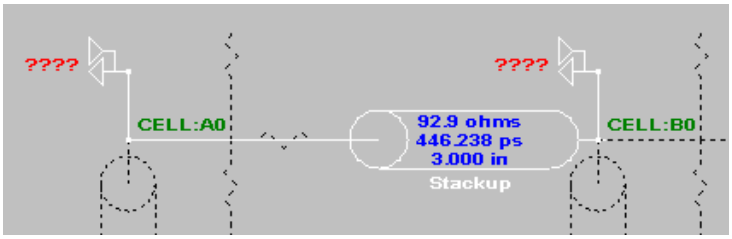
一根传输线包括传输线（互连）、IC 和无源器件。

- 在 LineSim 中，您可以左键点击灰色的各元素（传输线、IC 或者无源器件）便可以激活它们，这样就可以把它们加入到原理图中。
- 点击各个元素就可以进入它们的物理特性模型（选择一个 IC 模型、指定特性阻抗、改变元件值等等）

您可以感觉到这种方式比设计传统的原理图更快更简单，它不需要选择器件符号和连线等操作过程。

激活单元

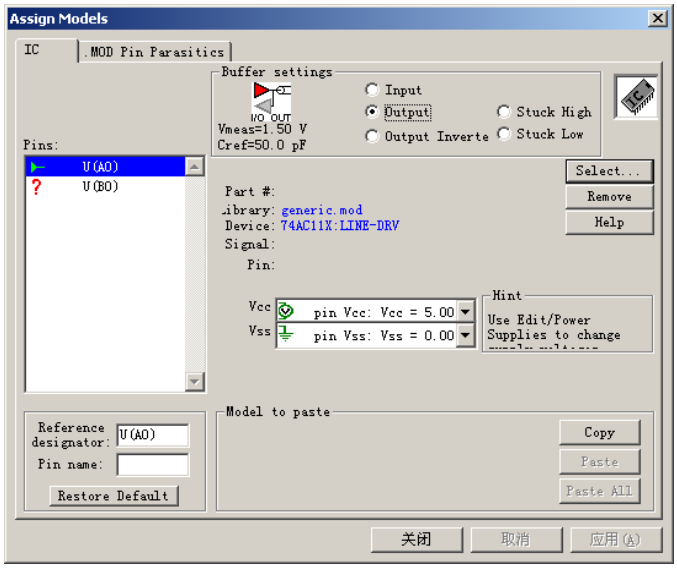
- **点击第一排的两个 IC 符号以便激活 LineSim 原理图中的驱动器和接收器 IC（CELL A0 和 B0）**
- **点击连接两个 IC 之间的标准的传输线符号，就可以激活此传输线。如下图。**



指派一个驱动器

- **右键点击单元 CELL A0 的 IC 图标（我们将设定它为驱动端）。**

- 点击指派模型（Assign Models）窗口右边的“Select…”按钮。
- 选择 Generic.mod 库按钮。
- 在 Devices 列表中，选择 74AC11X:LINE-DRV（清单列表中第一个 74AC 系列器件），再点击 OK 按钮。
- 在 Buffer Setting 对话框中点击单选按钮“Output”，使其设置为驱动端。如下图。



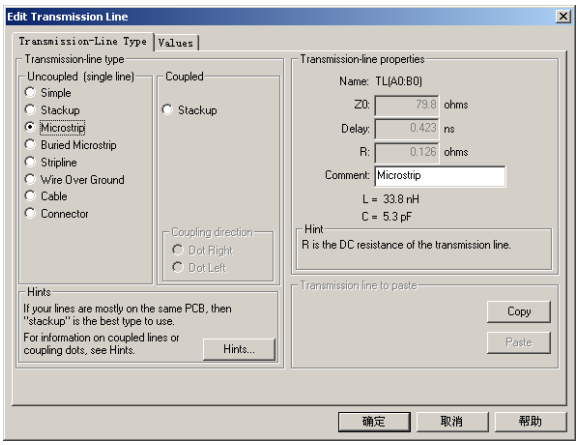
指派一个接收器

- 在窗口左边的 Pins 列表中选择 U(B0)；点击右边的“Select…”按钮。
- 选择 Generic.mod 库按钮。
- 选择 74HCXX:GATE-2，点击 OK 按钮。
- 确认单选按钮“Input”被选中，将其设置为接收端。
- 点击“关闭”按钮。

选择一个传输线模型

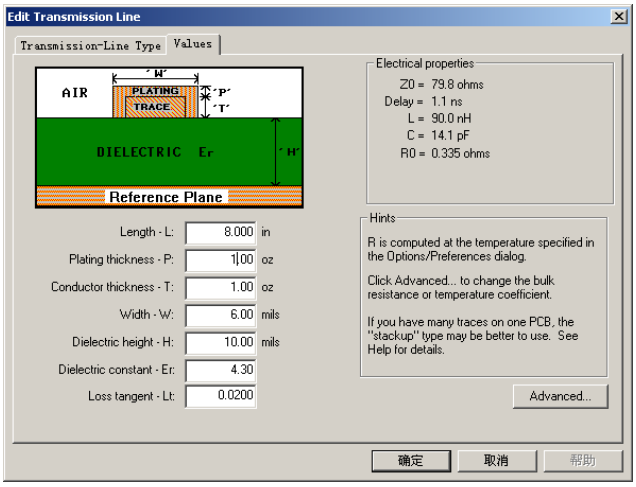
- 右键点击传输线符号，发一些时间分别点击传输线类型页中的各种传输线类型单选按钮，可以通过 Values 页面对各种传输线模型进行参数和模型的了解。

提示：可以通过点击编辑传输线对话框中上部的传输线类型（Transmission-Line Type）页和值（Values）页对所选的传输线参数进行设置，如下图。



“What-if”分析

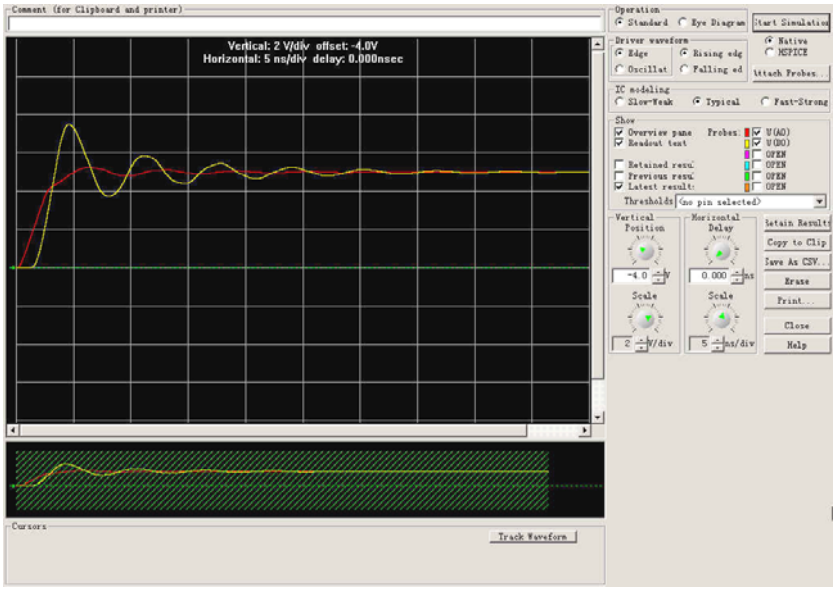
- 选择微带线 **Microstrip** 单选按钮。
- 设置线长为 **8 Inches**（当然，您可以根据您的需要进行长度设置，我们这里只是为了进行“**what-if**”分析。如下图。



- 选择确定，关闭对话框。

对时钟线进行仿真

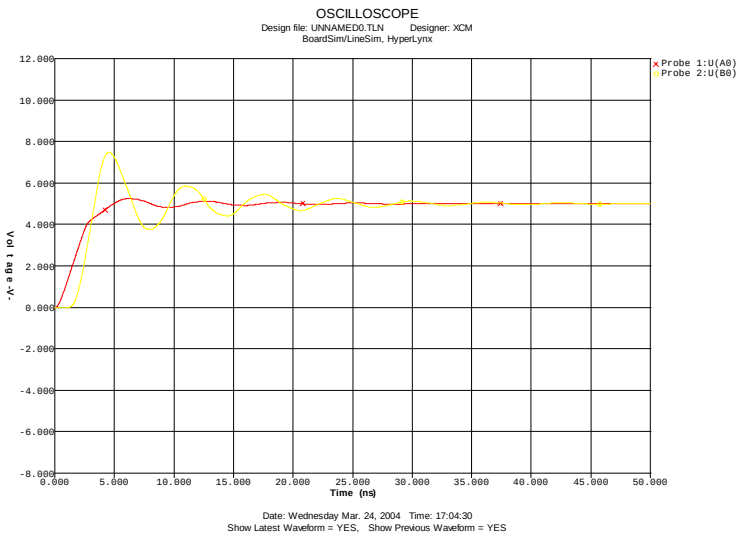
- 点击工具条上的示波器图标 （**Open oscilloscope/Simulator** ）。
- 点击右上的“**Start Simulation**”按钮开始仿真（探头将被自动指派）。
- 仿真状态对话框被打开并开始仿真。 如下图所示。



（示波器探头的通道颜色也同样地被显示于原理图中，每一个被测点各有一种探头一样颜色的箭头。您可以拖拉示波器的窗口以便查看原理图中各探头的测试位置和颜色。）

注意观察示波器中接收端的电压波形（黄色的示波器探头）有很大的过冲和下冲一这样，在接收端 IC 每个周期将会收到一个非常陡的沿的时钟信号（如果您设计中有这样的时钟网络，您的设计将会失败），这也是在高频设计中考虑得比较多的因素；而且这样的波形将会引起很强的电磁辐射。

- **选择示波器窗口中的“Copy to Clip”按钮，将波形拷贝到剪贴板中。**
- **选择开始菜单中“开始” -> “程序”->“附件” ->“写字板”（或者使用 Microsoft Office Word 等编辑工具）**
- **使用快捷键 Ctrl-v 将波形粘贴到写字板中。 如下图。**



这是一个很方便的文档－不管对您的设计组还是管理者－您所做的文档可能会起到指导设计进程时间表的作用。

显然，我们不能设计这样拓扑的一根走线（例如 8 Inches）。但是为什么会出现这样的信号问题呢？

答案是驱动端的“沿速率”或者开关速度与走线长度的比。

基本上有三种办法可以解决这个问题，请参考以下的“3T”。

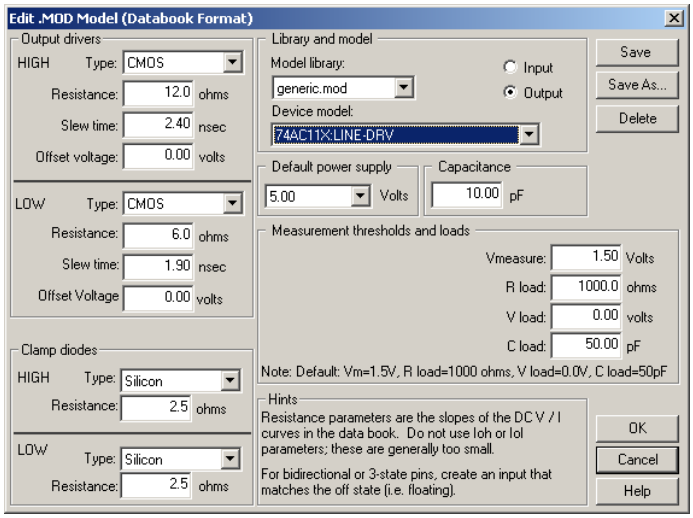
1. ***Technology（工艺）***－减慢驱动 IC 的开关速度（很困难，这将影响您的时序）。
2. ***Topology（拓扑）***－减小布线的长度到临界范围内或更短。
3. ***Termination（端接）***－使用无源器件匹配走线末端的特性阻抗到 Z0。

Technology（工业）－让我们假设我们的时序裕量要求与 CMOS 驱动端的一致（下降沿 1.9ns）。

Topology（拓扑）－需要遵循的一个规则是走线长度延迟不超过驱动端开关速率的 1/6，让我们看看这个网络上的工作情况。使用 FR-4 板材，信号延迟是 5.8 in/ns（大约 6 in/ns）。

让我们看看我们的驱动沿速率以便决定走线的线长。

- **关闭示波器窗口。**
- **选择菜单 Edit -> Databook IC Models（.MOD）。**
- **在 Library and Model 下的 Model Library 下拉框中选择 generic.mod，以及在 Device Model 下拉框中选择 74AC11X:Line-Drv ，请注意对话框左边 Output Drivers 中 Slew Time 的高/低电平值。如下图：**



- **选择最坏的情况的 Slew Time（这个例子中的低电平情况），然后乘以 6 Inches（信号传输速率）。**

第一个进入的波形信号传输延迟：

转换为电气长度
= Slew Rate (ns)×6 (in/ns)
= 1.9 (ns) ×6 (in/ns) = 11.4 in

再将此值乘以 1/6（布线规则），得到使用这个驱动器最大（建议）的布线长度。

最大的布线长度：1.9 in（未端接的条件下）

注意：如果您使用 FR-4 板材， 就不要通过以上的一堆乘法计算了，您可以直接利于 Slew Time 的 ns 时间作为最大的走线长度，由于 6 x 1/6 = 1。

- **现在返回到原理图，右键点传输线符号，点击 Values 的表页，在走线长度（Length）栏输入 1.9 Inches。**
- **点击确定，使用示波器功能重新仿真一次波形。**

您应该能看到一些难看的振铃信号，每一种规则都是您设计的指导。这就是为什么要先做仿真，而不是盲目地进行设计，它们在某些特定情况下可能正常工作，也可能不能正常工作。

- **再继续减小布线的长度，直到振铃停止，您就可以建立一个布线约束了－这就是这个网络最大的布线长度值（除非被正确端接）。**

重要提示：
通过不断的试验，您应该可以得到振铃较小时最大的未端接布线长度为大约 0.5 inches。很明显，这种类型的约束如果太经常使用，对于 PCB 设计工程师或者布线器，会是一件很可怕的事。现在，让我们来看看解决同一问题的另一种方法－端接（第三个 T）。

时钟线上的串连端接

让我们再来回顾一下这根 8-inch 走线的情况（这里要强调的是增加一个好的串行端接的效果）。

- **右键点击传输线符号。**
- **点击 Values 的表页，在走线长度（Length）栏改回 8 Inches。**

- 点击工具条上的示波器图标 。
- 点击右上的“Start Simulation”按钮开始仿真。
- 您将看到有大量过冲和振铃的一个信号波形。

现在我们再对这根传输线进行分析，这次我们使用一个串行端接。

对于串连端接，串行电阻的最优值计算公式如下：

$$Rt = Z0 - Zd$$

公式中：

Rt = 串行端接电阻阻值（欧姆）

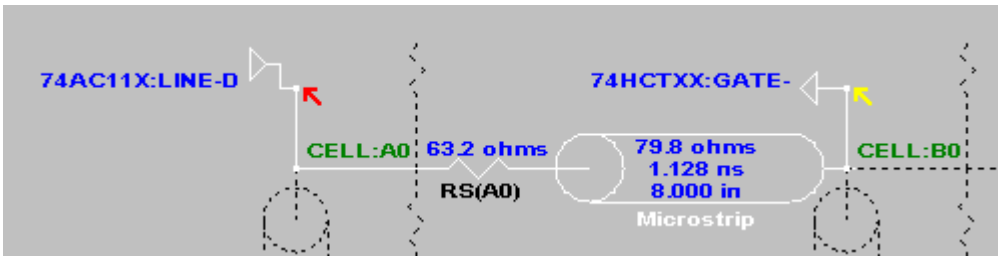
Z0 = 传输线的特性阻抗值

Zd = 驱动端的输出阻抗

对于这根时钟线的 Z0 在 LineSim 的传输线符号中显示。

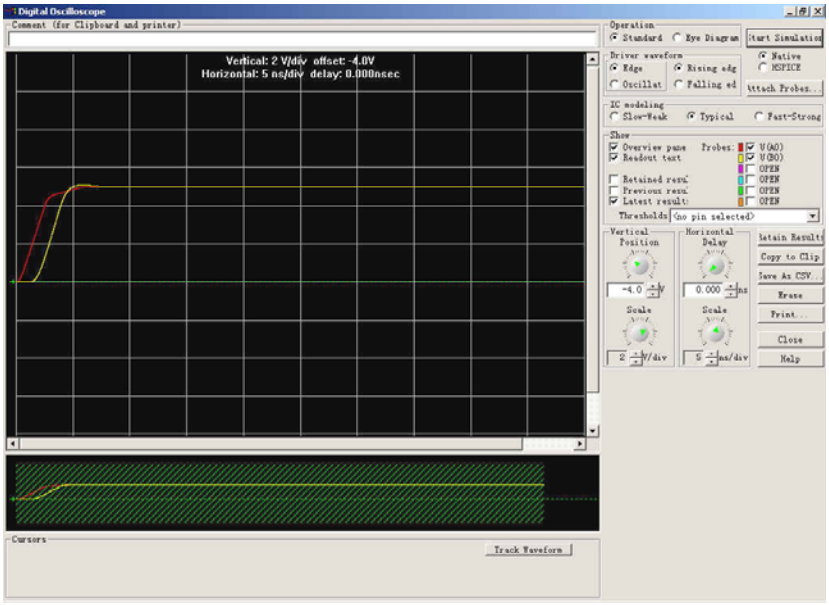
增加一个串连端接

- 左键点击位于驱动 IC 和传输线符号之间的电阻符号，选择插入电阻（Resistor ）。
- 右键点击电阻符号，输入其阻值 63 欧。如下图。



重新仿真

- 点击工具条上的示波器图标 。
- 点击 Start Simulation 按钮开始仿真。
- 请注意这次干净的波形，如下图。



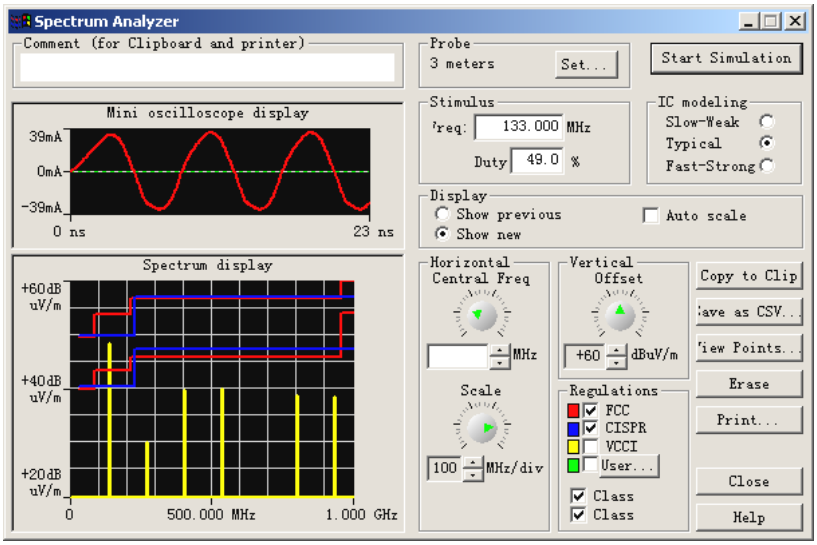
- **通过选择示波器窗口右边“Show”选项下的“Previous result”复选框，打开刚才前面的波形，对比两次仿真的结果。**

看看这是多么的简单！您可以在这里做任何的象这样假设的传输线，串行、并行、多板等等仿真。

只需花一会儿的时间，让端接、仿真过程完成的如此漂亮！

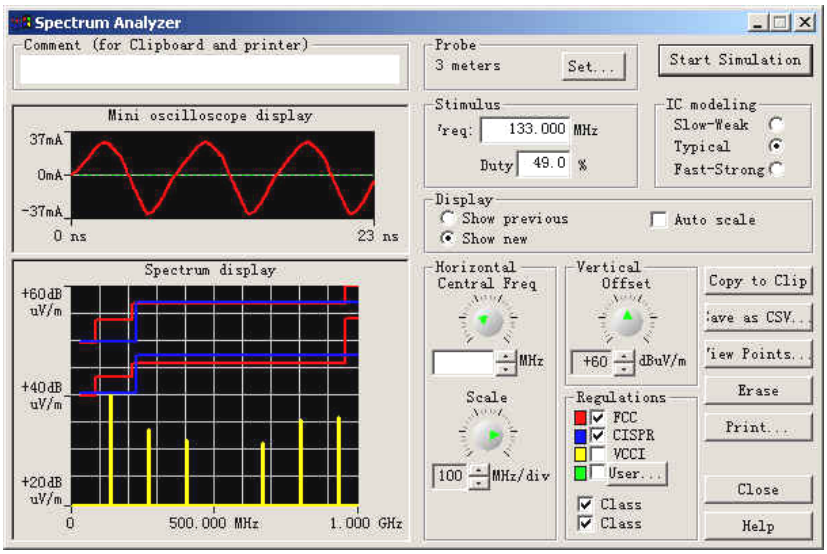
对于在改善了信号完整性之前的信号 EMI 问题，真的没有必要去测试，如果您有兴趣，可以做一个对比。现在，信号完整性问题解决了，让我们来看看 EMI 的测试效果。

- **关闭示波器窗口，点击 LineSim 工具条上的频谱分析仪（spectrum analyzer）图标按钮** **。将打开频谱分析窗口。**
- **向上点击垂直偏移（Vertical Offset）设置按钮，将 Class A 和 Class B 的标准线位于分析窗口中。**
- **点击右上的开始仿真“Start Simulation” 按钮，开始仿真，并得出结果，如下图。**



时钟基频的辐射值超过了 FCC 和 CISPR 的 Class B 的标准限制，因此，为了达到目标，我们可以尝试将线长缩短一些。

- **点击 Close 按钮，退出频谱分析窗口。**
- **右键点击传输线符号，编辑传输线窗口将跳出。**
- **选择 Values 页表改变传输线的长度为 4 Inches。**
- **关闭编辑传输线对话框。**
- **再次点击频谱分析仪工具条图标按钮** **。**
- **点击开始仿真“Start Simulation”按钮，观察 133MHz 频率处的辐射值，可以发现现在可以通过 FCC 和 CISPR 的 Class B 标准。如下图。**



花了不到 10 分钟的时间就解决了在实验室可能要花大量的时间去重复实验验证的 EMI 问题。

如果您继续使用这个网络做 What-if 分析，您将发现 4 Inches 的长度是这个

串行端接时钟网络的限制（假定您需要考虑 CISPR EMC 限制）；如果您想提供一些 133MHz 的裕量也许需要更短一些。这样，您就可以得到这些的一些设计的物理约束参数。

有损传输线模型

由于设计的产品的速度越来越快，以及 IC 产生的时钟沿的速率也越来越快，分析 PCB 走线和介质材料的损耗变得越来越重要。幸运的是，在 LineSim 和 BoardSim 中的有损模型也是简单到只要点击一个按钮就可以了。马上，我们就将看到。

注意：损耗通过衰减电压幅值和软化信号边沿引起信号的失真。最终结果经常是增加了信号延迟。从物理上来说，损耗是由于 PCB 走线和周围的介质材料的发热而引起的。在高频情况下，损耗将更加严重，所以对于边沿较陡的器件损耗将更严重。

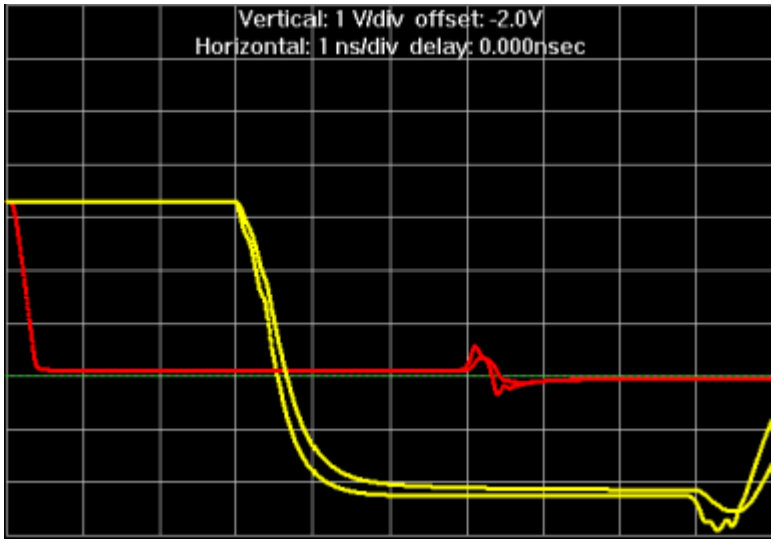
更改原理图

- **如果频谱分析仪窗口还开着，请关闭它。**
- **更改驱动端模型为一个开关边沿速率更快的模型：在驱动 IC 符号上点击右键，点击 Select 按钮，选择 EASY.MOD 库，再选择“CMOS,3.3V,Ultra-Fast,”，然后点击 OK 按钮，关闭窗口。**
- **移除串行电阻：左键点击串行电阻符号处，选择 None。**
- **延迟传输线：在原理图上右键点击传输线，选择 Values 页表，改变线长为 20 Inches。**

我们改变了这些参数，是因为更快的驱动沿和更长的走线将会引起更多的损耗。

对有损和无损的仿真对比

- **点击工具条上的红绿色的示波器图标按钮 。**
- **确认工具条上蓝灰色的有损仿真图标 处于未点击状态。**
- **点击开始仿真“Start Simulation”按钮。**
- **确认示波器窗口中 Show 下的复选框“Previous Results”是被选中的。**
- **现在点击工具条上的有损仿真图标 处于有损仿真状态。**
- **点击红绿色的工具条示波器图标按钮 ，点击开始仿真“Start Simulation”按钮，重新仿真。**
- **注意观察对有损仿真波形的不同点：例如，黄色的接收端波形增加了额外的延迟。如下图：**



使用更快的驱动端 IC，例如使用 Multi-Gigabit，超高频串行总线（例如 PCI Express、HyperTransport 等等）。损耗的仿真效果将更加明显。

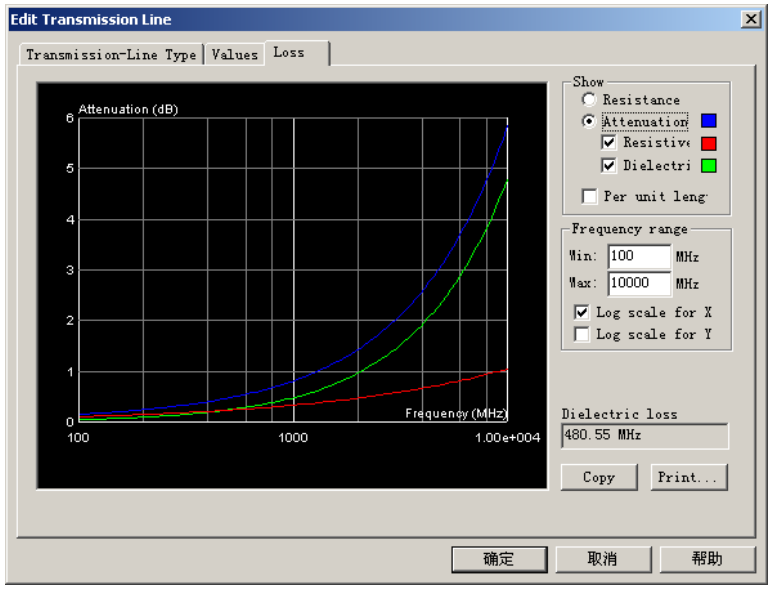
用 XTK 和其他可信赖的信号完整性工具使用的同样的“W 元素”算法，LineSim 和 BoardSim 都可以进行损耗仿真。这个算法可以自动地计算象趋肤效应等一些复杂的问题。

现在您可以看到在 HyperLynx 中进行有损效应的仿真是多么的容易了——只需要一个按钮就可以完成后续的一系列仿真。

选项：

高级的用户可能想测试在频域上的损耗：

- **在原理图的传输线符号上点击鼠标右键。**
- **点击频域（Frequency Domain）查看表“Loss”，请注意只有在有损仿真** **被使能时才出现此图表。**
- **点击衰减率按钮，确认 Resistive 和 Dielectric 复选框已经被选中。**
- **请注意曲线显示在高频时信号的衰减是如何增加的，对于这根传输线在 480MHz 以后，介质损耗（绿色）占了主导作用，而阻抗的损耗（红色）作用越来越小。如下图。**



支持 HSPICE 仿真

IBIS 模型广泛地应用于信号完整性仿真，但是对于超高频的 IC 并不都可用。例如在 multi-gigabit（或者“3GIO”）串行总线的收发器中。通常，这些 IC 的厂商都只提供加密的 HSPICE 格式模型。

幸运的是，使用一种叫“SPICELynx”的功能，LineSim 和 BoardSim 都能够运行 HSPICE 作为一种可选仿真。 这可以让用户使用 HSPICE 模型交互式地仿真一些网络，提供了同样的友好的工作环境。

注意：在 HyperLynx 中运行 HSPICE 要求用户有 HSPICE 的授权，大部分的 3GIO 技术均有此授权。

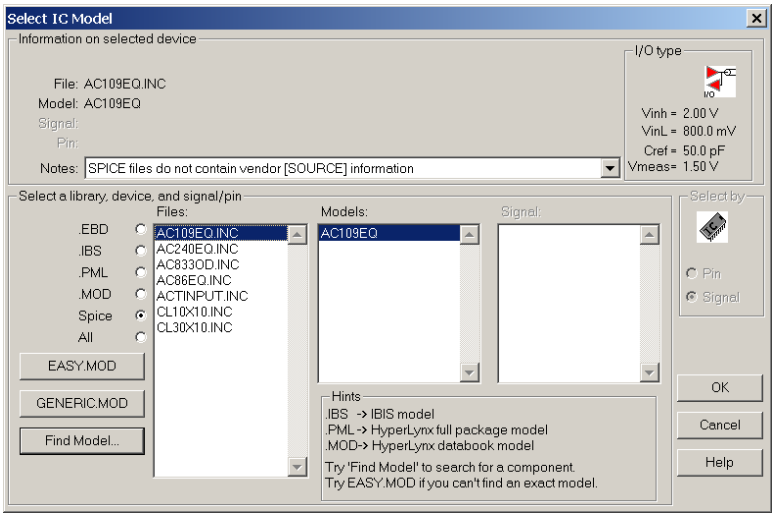
设置 HSPICE 仿真

在 HyperLynx 中设置 HSPICE 仿真就像设置一个平常的 IBIS 仿真一样方便。看一个例子，首先确认一些 HSPICE 模型的可用性。

- **关闭打开的任何窗口。**
- **选择菜单的 Options / Directories**
- **如果需要，使用编辑按钮增加以下的 IC 模型路径：“<HyperLynx 路径\Libs\Spice”**

注意：如果您还没有 SPICE 例子模型，你必须阅读一些相关的知识。

- **现在，在原理图中左键点击接收端 IC 符号，移除它。**
- **右键点击驱动端 IC，点击 Select 按钮。**
- **点击 SPICE 单选按钮，只显示 SPICE 文件；如果您的路径设置正确并有部分模型，您将看到少量的“.inc”文件。如下图：**



- 选择列表中第一个 SPICE 模型并点击 OK 按钮。
- 注意一个 spreadsheet 电子表格显示 SPICE 模型的“ports”。仿真之前，每一个 Ports 必须被连接，注意电源 Ports（“VCC”和“XGND”）可以被 LineSim 自动地连接。
- 连接 SPICE 模型的输入 port 到 LineSim 的数字仿真中：点击 Vin 的电路连接单元，选择 Stimulus。
- 连接 SPICE 模型的输出 port 到原理图的 A0 单元：点击 Vout 电路连接单元，选择 U（A0）。

SPICE Port	Circuit Connection
Vin	Stimulus
Vout	U(A0)
VCC	Vcc
XGND	Gnd

注意选择这个 HSPICE 模型就像选择 IBIS 模型，除了它们有一些额外的 Ports 需要被接通。

运行 HSPICE 仿真

现在我们准备运行 HSPICE 仿真，虽然你实际上并不能产生波形和浏览它，除非您的 PC 上有 HSPICE 的授权。

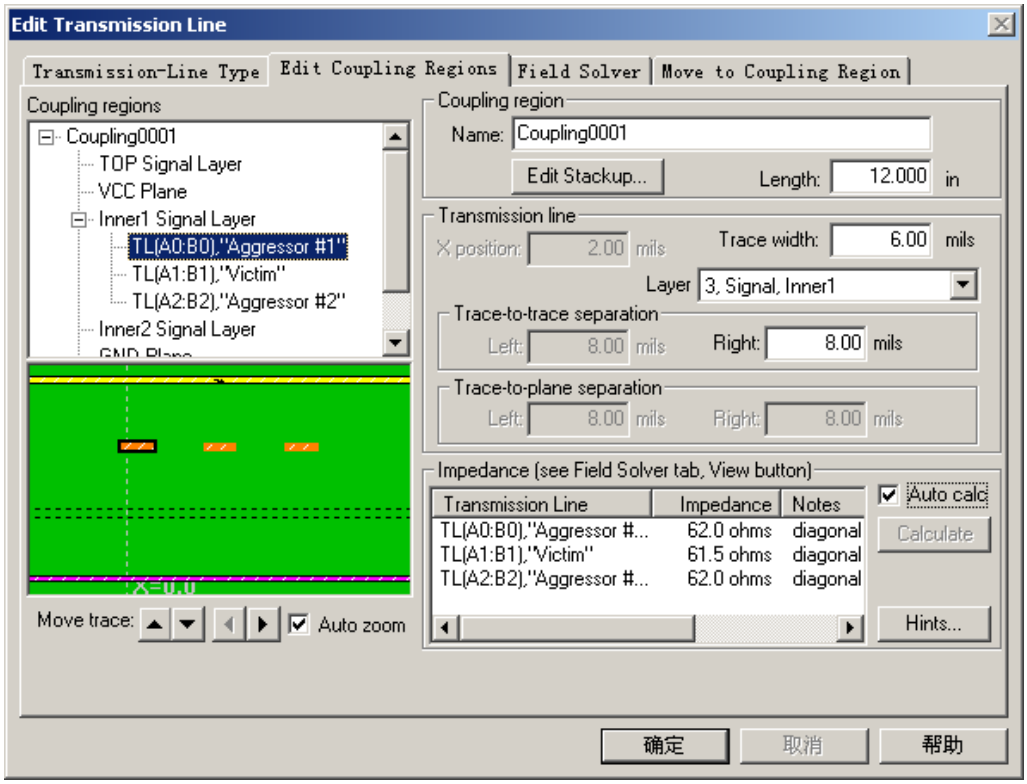
- 点击红绿色的工具条示波器图标按钮 。
- 点击右上角的开始仿真“Start Simulation”按钮开始仿真。
- LineSim 将给出一个信息说：发现了一个 HSPICE 模型，因此要从 HyperLynx 的内置仿真器切换到 HSPICE 仿真。
- 点击 OK；出现一个对话框给出一些 HSPICE 文件的控制和输出显示。

- **点击 OK。如果您有 SPICE，一个窗口打开，显示出 HSPICE 信息和运行信息；当仿真完成，HSPICE 波形显示在 LineSim 的示波器窗口中。如果您没有 HSPICE，将出现一个窗口告诉您找不到 HSPICE。**

LineSim 已经被设计成仿真 HSPICE 就像感觉在运行 LineSim 仿真。这样可以帮助用户单独运行 HSPICE 的操作不习惯：通过手工建立网络列表、手工运行场分析、产生触发文本、打开一个单独的工具去浏览波形等等。

HyperLynx“包含”的 HSPICE 对于布线后的分析特别有用（网络列表几乎不需要手工建立）；进行眼图分析，而在 HSPICE 中进行长的数字触发显得相当不方便。

LineSim 串扰分析



LineSim 的串扰选项帮助您制定布线前的布线约束。

在这个例子中我们将研究不同的方法来控制一般总线上的串扰。

总线设计的间距

假设您正在设计一个总线，想保证在每一根总线上的互相串扰不超过200mV，让我们来看看 LineSim 的串扰仿真功能如何帮助您达到您的目标，建立合适的布线约束条件规则。

总线上的串扰仿真

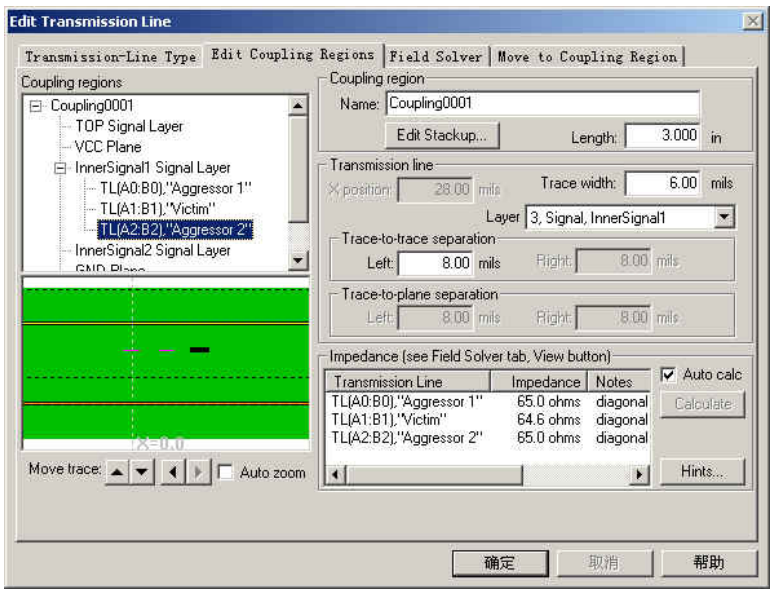
在现在的数字系统的典型总线一般包括许多物理上的并行走线－16、32、64位，甚至更多的信号线。可是，当您对这样的一组总线进行仿真时，很明显您不会对所有的信号同时进行仿真（如果包括所有的信号进行仿真将浪费大量的时间）。相反，您应该利用串扰的特点，对造成串扰的受害网络影响最显著的两个网络进行仿真分析：受害网络两边距离最近的两个网络。所以，一般来说，您应该集中尽力来分析仿真这三根网络组。

建立基本的传输线

选项：为了在 Demo 中节省时间，您可以跳过前面的这些步骤，而直接在您的 HYPFILES 目录中打开“XT Trace Separation.TLN”。

让我们开始通过在原理图中建立一组三个相邻的走线。

- **点击工具条上的新建 LineSim 原理图图标 ，建立一个新的 LineSim 原理图。**
- **左键点击 CELL:A0 和 B0。**
- **左键点击这两个 IC 符号之间的一段传输线。**
- **在传输线符号上点击右键，打开传输线编辑对话框。**
- **在“Coupled”中选择单选按钮“Stackup”。将进入“Add to Coupling Regions”对话框页，（New Coupling）将出现在左边的窗口中。**
- **现在点击“Edit coupling Region”表页，这里可以浏览我们建立的耦合区域的截面图。从这里，点击 Layer 对话框中的下拉菜单，从中选择“3, Signal, InnerSignal1”，以及不选择“Auto Zoom”复选框以便可以浏览整个叠层结构。**
- **点击传输线类型“Transmission-Line Type”页表，在 Comment 域中填上“Aggressor 1”。**
- **点击“确定”按钮退出。**
- **重复以上的几个步骤，用同样的方法建立第二和第三根网络，必须注意保证三根传输线处于同一个耦合区域“Coupling0001”中，命名第二根位于中间的传输线为“Victim” [TL（A1,B1）]，而第三根位于右边的传输线命名为“Aggressor 2”[TL（A2,B2）]。它们之间的左右位置可以通过窗口底部的左右方向的箭头移动，按照需要调整三根传输线的位置，如下图：**



在 Coupling region 中默认的平行长度是 3 inches，线宽是 6.0 mils，线到线的间距是 8.0 mils。

- **在对话框的顶部，在 Name 域中输入“Generic Bus Example”。**
- **改变长度为 12.0 inches。**

注意在“Transmission-Line Type”页表中的单选框“Coupling Direction”。这是 LineSim 串扰的高级特点，它可以对比我们这里讨论的例子更复杂的耦合对进行仿真。需要更多的信息，请点击“Hints”按钮。

指派 IC 模型

现在，我们已经建立了三根平行的传输线例子，下一步，在仿真之前我们必须先指派 IC 模型。

- **将鼠标指针移动到原理图左端的任何一个驱动 IC 符号上，您将看到 IC 符号周围将出现一个红色的方框。**
- **右键点击 CELL:A0 位置上的 IC 符号，将出现一个“Assign Models”对话框。**
- **下一步，点击对话框右边的“Select…”按钮，打开“Select IC Model”对话框。**
- **在对话框的左边，点击“EASY.MOD”按钮，将显示出一个 HyperLynx 的常用模型。**
- **从列表中选择“CMOS,3.3V,FAST”，点击 OK 按钮。**
- **这时，一个确认框出现，询问是否将 V_{cc} 改变到 3.3V，点击“Yes”。**
- **然后，点击“Assign Models”页的“Copy”和“Paste All”按钮快速地指派所有的 IC 模型都为“CMOS,3.3V,FAST”。**

请注意在 IC 符号的“Assign Models”对话框中指派的模型默认为“Input”类型。

- **通过选择对话框中的“Buffer Setting”改变 U(A0)和 U(A2)类型为“Output”类型。**

三根传输线代表了总线中并行的三根走线。左端三个三角形的 IC 驱动符号代表三根传输线左端的输出驱动器。每根线的右端都有一个 IC 的接收端。

在仿真这个设计之前，我们将驱动端 U(A0) 更改为更快的器件，以便在示波器仿真时与 U(A2)的波形不至于重叠。

- **在“Assign Models”对话框中点击 U(A0)。再点击“Select…”按钮，将其模型改变为“CMOS 3.3V ultra-fast”，以便将 Aggressor 1 和 Aggressor 2 的区别开。**
- **在“Assign Models”对话框中的“Pins”列表中选择 U(A1)，在对话框**

右上方的“Buffer Settings”项目中选择“Stuck Low”。这表示在仿真中这个信号是保持在不变的低电平。点击“关闭”按钮，关闭此对话框。

返回到原理图编辑器，请注意中间的走线驱动器旁边的“0”，这代表这个驱动是 “Stuck Low”的。

Victim 与 Aggressor 线

将各驱动 IC 设置为这种方式（中间走线设定为“Stuck Low”，外面的走线设定为开关信号）是因为我们想将中间的走线定义为“Victim”（受害者）和将外面的两根线定义为“Aggressors”（攻击者）。例如，我们想看看当周围的走线有开关跳变时，将在这根中间的走线上产生多大的串扰。但是请注意我们并没有让中间的这根走线完全没有驱动，我们给它指派的一个驱动器，但是将其设定为静态。Victim 的 IC 驱动模型很重要，因为低阻抗的驱动产生的反射将超过串扰的能量。

请注意关于“Victims”和“Aggressors”：

LineSim 可以仿真任何混合的“victim”和“aggressor”走线－事实上，仿真器并不区分它们之间的差别。通常地，您总是指定一根被设定为开关信号的走线为“Aggressors”，而另一根被观察串扰信号的走线为“Victims”。在这个仿真中，我们也可以将中间的这根走线设定为开关信号，在这种情况下它就成为既是 Aggressor 也是 Victim 的走线了。

耦合域

LineSim 的串扰功能可以让您在任何的 LineSim 原理图中增加耦合信息。在原理图中的任何走线可以通过简单地点击右键改变它的类型为“coupled stackup”，而且可以定义任何数量的耦合域，任何一根线可以被增加到任意的一个耦合域中去。

当一根传输线被设定为耦合时，在原理图编辑器中的显示与未耦合的走线是不同的。

- **在原理图中，将鼠标指向任何一根传输线。请注意传输线周围黄色的高亮方框，以及通过鼠线相连的同一电磁耦合域中的其他传输线。**

一旦一些传输线被定义为一个耦合域，域中的各属性以及长度等可以被定义，以便精确地符合您需要仿真的条件，而且这个定义是通过几何图形方式的，将这个几何图形方式的参数转化为电磁参数就是 LineSim 的工作了。

在右下角的阻抗列表中列出了电特性的概要（需要更多的电特性数据，请看后面）。

刚才定义的耦合域如下：

- 所有的走线都在内层，“stripline”层
- 走线都是 6 mils 宽和 8 mils 间距（边到边）
- 耦合走线的长度为 12 inches

在我们对耦合域做任何改变之前，让我们来对目前的参数设置情况下做一个仿真，看看产生多大的串扰。我们的设计目标是串扰不超过 200mV。

运行仿真看看产生多大的串扰

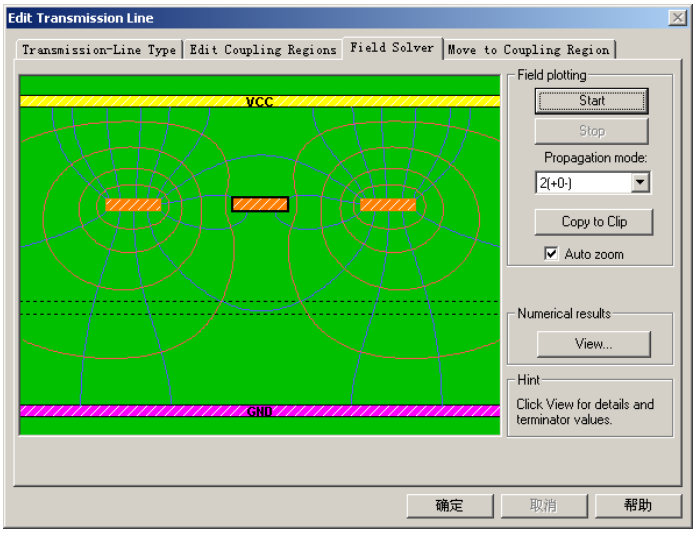
让我们来仿真一下现在的原理图的耦合域，点击工具条上的示波器图标按钮；选择仿真开关的下降沿：

- **点击“确定”关闭“Edit Coupling Regions”对话框窗口。**
- **点击工具条上的示波器图标按钮 （Open oscilloscope/Simulator ）；或者从菜单的 Simulate -> Run Scope…，将打开数字示波器的窗口。**
- **确认 Driver Waveform 选项被设置为“Edge”－“ Falling Edge”，以及 IC 模型被设置为“Typical”。**
- **点击开始仿真“Start Simulation”按钮。**
- **当仿真完成，点击“Copy to Clip”按钮（这样，我们后续可以使用这个波形作为参考）。**

当我们仿真的时候，LineSim 通过运行 boundary-element field solver 将我们输入的几何数据转换为电磁域参数。

绿色和黄色的波形分别显示了中间的 Victim 走线的接收端和驱动端的串扰波形。黄色的波形基本上没有大的串扰，因为这一端通过低阻抗的 CMOS 驱动器钳制于低电平。但是接收端绿色波形的情况就很不同了，其电压幅值超过了 700mV，而我们设计的要求是串扰低于 200mV。

- **为便于浏览，可以将 U(A1)的黄色探头复选框前的选择取消。**
- **为了得到串扰仿真的量化数值，可以在波形图上的绿色波形最大峰值处点击鼠标（大约 740mV），然后在最小峰值处再点击鼠标一次（大约－970 mV）。**
- **最小化示波器窗口，然后在原理图上右键点击中间的 Victim 网络，选择“Field Solver”页，点击“Start”按钮。**



图中蓝色的线代表耦合域之间的电力线。红色的线磁力线。（如果您对阻抗计算、电磁场耦合参数和耦合线端接等感兴趣，您可以点击“View…”按钮；或者如果需要更详细的说明，请点击“帮助”按钮）。

增加线距减小串扰

减小串扰的一个明显的办法就是增加走线之间的间距。

编辑耦合域，增加线间距从 8 mils 到 16 mils，重新仿真一遍，看看串扰减小了多少。

- **最小化示波器窗口。**
- **鼠标指向原理图中的任意一根传输线，点击右键重新打开“Edit Transmission-line”对话框。**
- **点击“Edit Coupling Regions”页表。**
- **在“Coupling Region”列表中，高亮选择中间的一个传输线。有两种方法可以选择：或者点击选择列表中的传输线“TL(A1:B1), ‘Victim’”；或者在将鼠标移动到图形显示中的中间线位置，左键点击即可选中。**
- **在“Trace-to-Trace Separation”区域，在“Left”和“Right”编辑框中输入 16，以增加线间的间距。同时在图形显示中的间距也变得更大了。**
- **点击“确定”关闭对话框，然后点击工具条上的示波器图标，打开示波器仿真窗口。**
- **点击开始仿真“Start Simulation”按钮。**

请注意最大串扰值（绿色波形）已经减小了，但是还是超过了我们的设计允许范围。

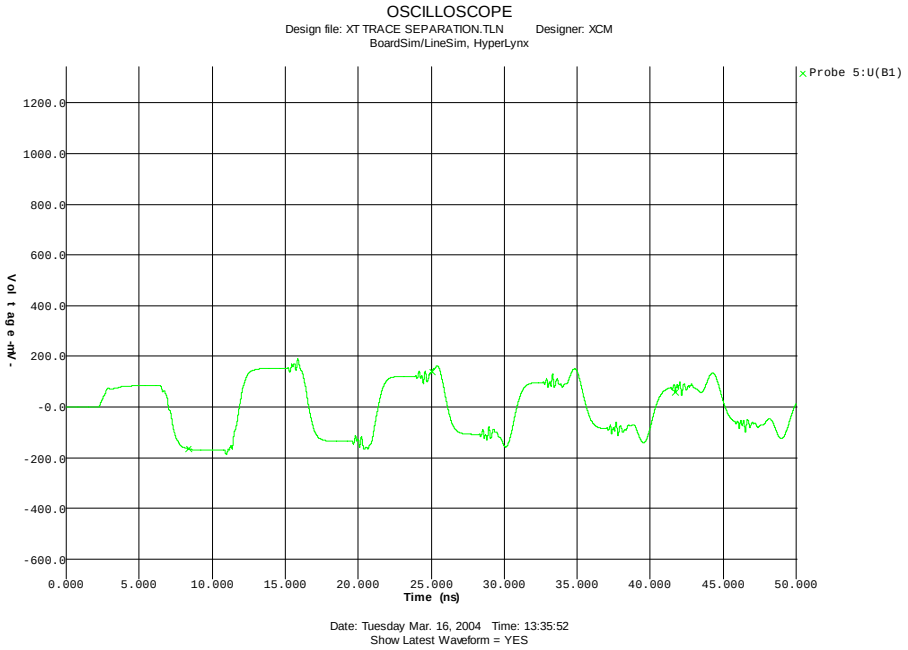
减小介质层厚度

除了改变线间距，还有许多办法可以影响串扰。有时可以通过调整 PCB 的

叠层结构参数，让我们来试试通过简单的调整叠层结构来看看其对串扰的影响。

编辑 PCB 叠层，减小参考层与内信号层 的间距从 10mils 改为 5mils；然后重新仿真。

- **最小化示波器窗口。**
- **点击“Edit”菜单，选择“Stackup…”，打开叠层编辑器“Stackup Editor”。**
- **点击位于“VCC”和“Inner1”之间的介质层，双击其 Thickness 处的输入框，将 10 改为 5。**
- **同样点击位于“GND”和“Inner2”之间的介质层，双击其 Thickness 处的输入框，将 10 改为 5。**
- **通过右边的图形显示确认两个改为 5mils 的地方，然后点击 OK 按钮关闭窗口。**
- **重新打开示波器窗口，点击开始仿真“Start Simulation”按钮。**
- **通过选择和取消示波器窗口右边的“Previous Result”复选框，将修改参数后的结果与刚才的结果进行对比。**



现在 Victim 线接收端的最大串扰值已经大大地降低了，大约小于 200mV 左右（如果需要看到更精确的数值，请在示波器右边的“Vertical”的“ Scale”区域左键点击两次向下箭头，将其垂直刻度调节为 200 mV/div，如上图）。目前的设置基本上可以达到我们的设计目标。

一般来说，串扰可以被许多因素所影响，例如：驱动 IC 的技术、线间距、线宽、线长、端接（串扰需要更加比单端线复杂的端接）和 PCB 叠层（叠层顺序和介质的厚度）等。LineSim 可以帮助您快速地分析和找到解决办法，以满足您的设计要求。

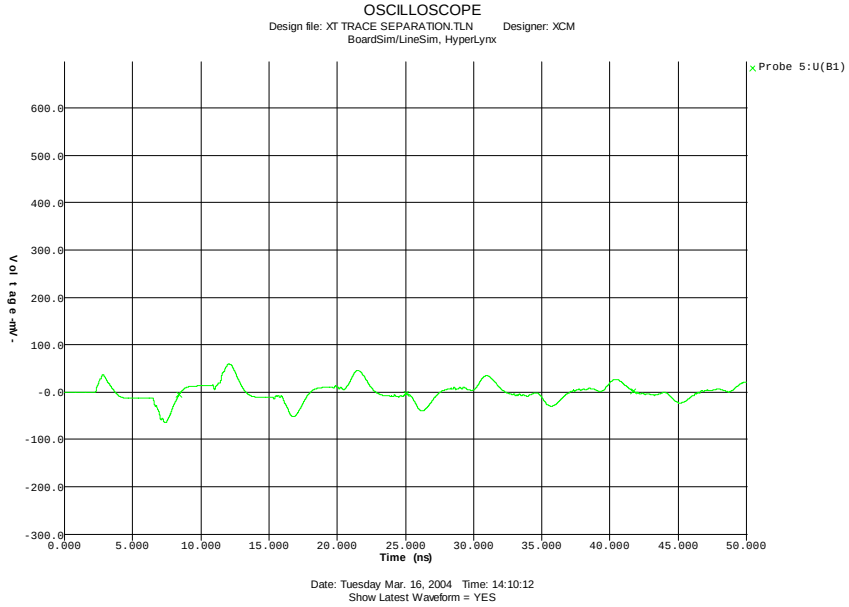
净化 Aggressor 信号

最后，请注意 Aggressor 1 和 Aggressor 2 上的蓝色和橙色的波形上的过冲，如果我们能够端接这两根传输线，将会大大减小串扰。

- 点击工具条上的“Open Terminator Wizard”按钮图标 。
- 选择 U(A0)，然后点击 OK。
- 如果您在“Apply Tolerance”下拉选项中选择了“10 percent”，端接向导将会建议您在 Aggressor 1 传输线上增加一个 39 Ohm 的串连端接电阻。
- 点击 OK。
- 下一步，左键点击 U(A0)右边的电阻符号（传输线左边），从下拉表中选择“Resistor”。
- 右键点击电阻符号，在“Resistance”输入框中输入 56。
- 很明显 Aggressor 2 也是同样的拓扑结构，所以对于 U(A2)重复以上的两个步骤。
- 返回示波器窗口重新仿真。

现在蓝色和橙色的波形看起来就相当好了。让我们将其他波形信号关闭，以便可以看得更加清楚。

- 点击复选框，关闭红色、紫色、蓝色和橙色波形。
- 改变垂直电压刻度到 100mV/div（如下图）。打开“Previous Result”选项，通过对比我们可以看出波形有了很大的改善，串扰值大约只有 60mV 左右。



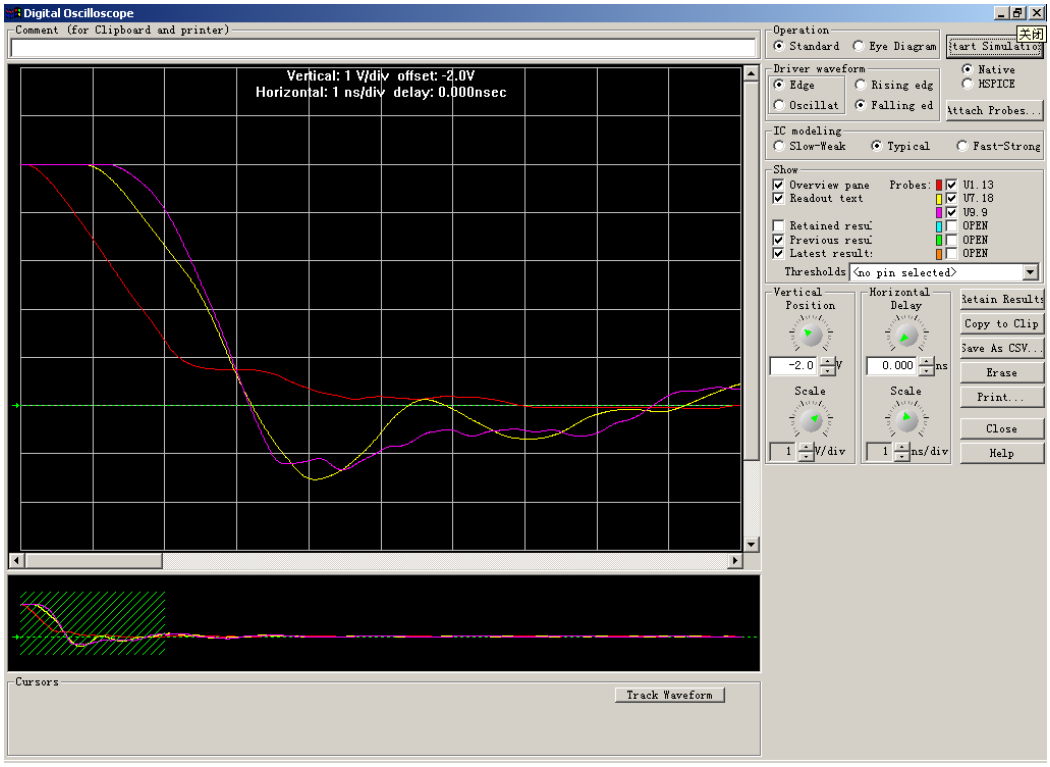
最后的因素：Victim 网络的端接

在 Victim 线上的串扰值已经达到了我们的设计要求，这个演示就到此为止。但是，如果这根线上的驱动器为时钟沿 1ns，那么我们就应该继续，并最好在这根网络上增加端接。

- **【可选】左键点击 Victim 网络上的串连电阻，象 Agressor 一样加入一个 39 Ohms 的串连电阻。**
- **【可选】右键点击 U(A1)，将其从“Stuck Low”改为“Output”类型。**
- **【可选】重新仿真黄色 U(A1)和绿色 U(B1)的信号下降沿。**

使用 LineSim 最大的好处就是建立布线约束和设计指导。例如：在上面的例子中，对于这个总线的布线最小线距为 16mils，必须进行串行端接对过冲和串扰进行控制。

BoardSim 的交互式仿真



BoardSim 中显示了“clk”网络的一些过冲和振铃。

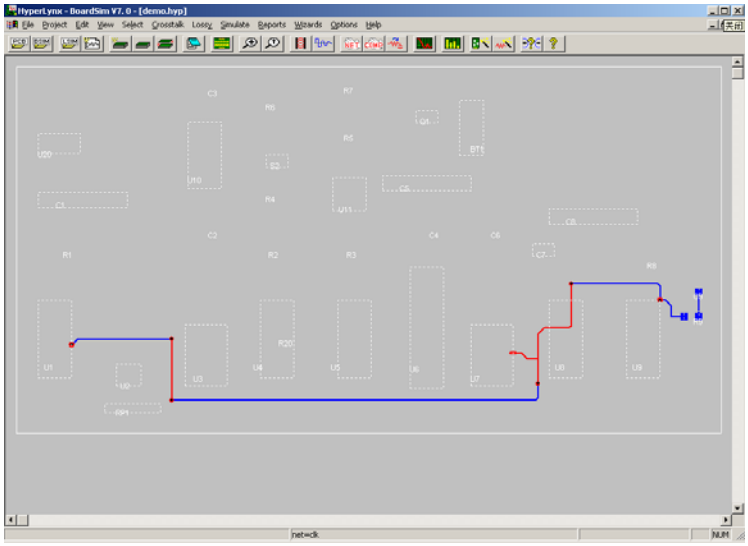
打开 demo.hyp 文件。

交互式仿真“clk”网络

我们刚才看了一下 BoardSim 的批模式仿真。BoardSim 也是一个交互式仿真的分析工具，可以将具体的仿真波形显示在示波器中。下面我们将仿真一下“clk”网络，因为刚才这个网络在批模式仿真中被标为信号完整性和 EMC 都有问题的一个网络。

选择“clk”网络

- **从菜单选择“Select”－> “Net by Name”，或者点击工具条上的图标按钮 。“Select Net by Name”对话框将被打开。**
- **在列表中，双击网络“clk”，对话框关闭，在 PCB 板浏览窗口中显示出“clk”网络及走线。**

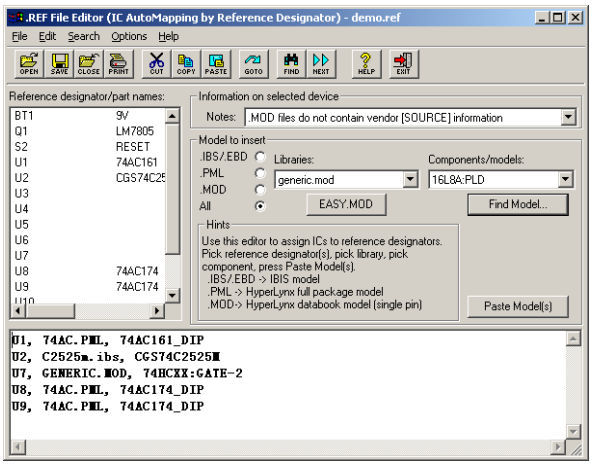


注意：您可以通过点击“Sort Nets By”区域的“Name”单选框，来改变列表中网络名字依字母排序的排序。这也是一个有用的工具，由于可以依网络的长度进行排序，因此对于一块新板，您可以首先分析最长的网络。

请注意各个网络是如何在 Board 浏览器中被显示的：就象在 PCB 布线工具中一样，每一层都有各自的颜色代表金属的走线（包括过孔和元件焊盘）。各种颜色对应于相应的层（各层颜色的设置可以通过工具条上的绿色图标 ）。

检查“clk”网络的拓扑，驱动 IC 位于左下角，它有两个接收端，一个位于中间位置，另一个位于最右端，并且在走线的末端放置了一个 AC 端接（电阻＋电容到地）。但是前一个例子告诉我们其端接值是不对的，现在我们在更改其端接策略和元件值之前先做一个仿真。

注意：这里 IC 模型均已经被指派，您可以在菜单“Edit” －> “.REF IC Automapping File…”中查看。如下图。

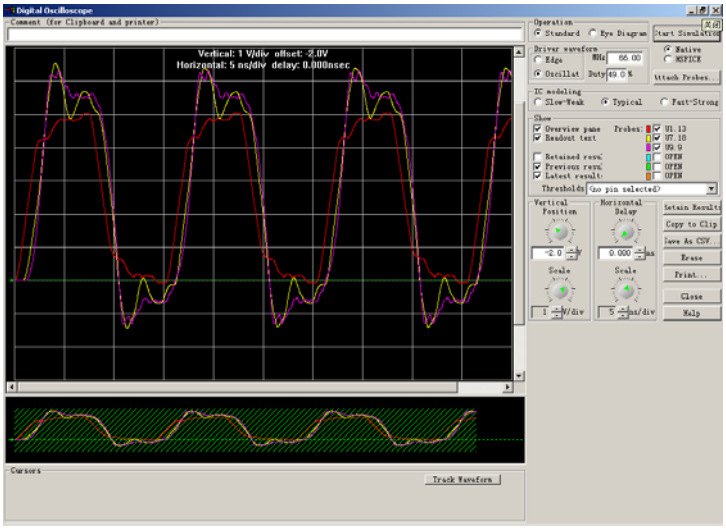


仿真网络“clk”

- 点击菜单项的“Simulate” —> “Run Scope…”，或者点击工具条上的图标按钮 ，打开数字示波器窗口。
- 在窗口的右上区域的“Driver Waveform”位置点击“Oscillator”单选框。
- 在 MHz 的输入区输入“100”。
- 在水平刻度（“Horizontal”下的“Scale”）区域向下按箭头按钮，将其时间刻度调整为 2 nsec/div。
- 点击开始仿真“Start Simulation”按钮。

注意：探头被自动地指派，它们的位置显示于板浏览器中的各个对应颜色的箭头，它们的颜色与示波器各通道的颜色一致。

仿真状态窗口被打开并开始运行仿真；被仿真的波形电压值在示波器窗口上显示出来。 如下图。



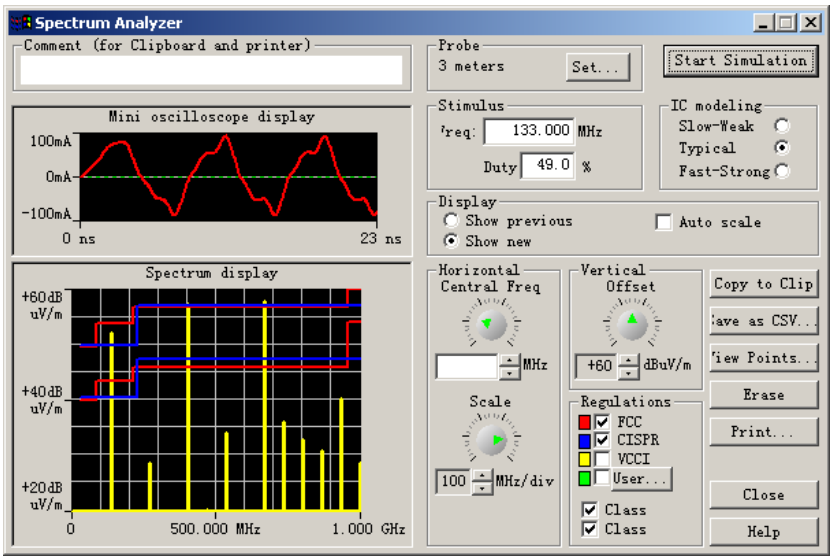
如果您的设计按照此 Demo 的设置，屏幕上看到的显示波形就是实际的电压波形情况：接收端的波形（紫色和黄色的波形）看起来有很多过冲和下冲。同样，它存在大量的高频成分，看起来象是一个辐射源。与前面讨论的板级批模式分析中存在同样的问题。

EMC 分析/频谱分析仪

- 现在选择工具条上的频谱分析仿真图标按钮 。或者通过选择菜单项的“Simulate” —> “Run Spectrum analyzer/EMC…”选项。

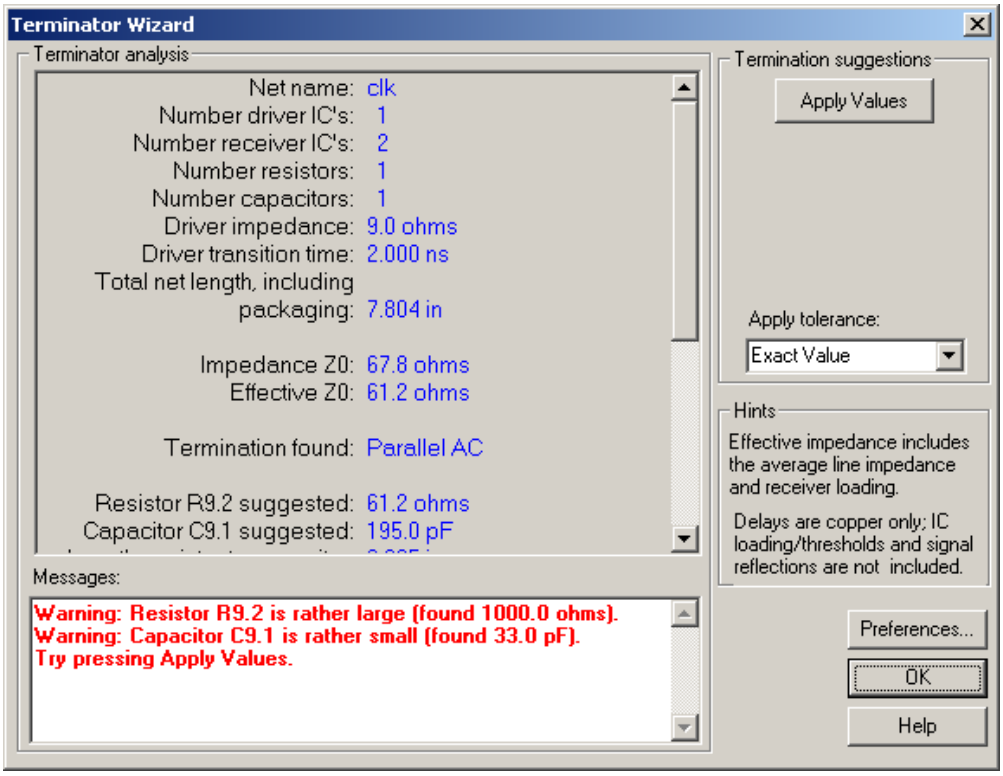
- **在运行 EMC 仿真之前，请选定各种规范标准，美国的 FCC、欧洲的 CISPR 和日本的标准等。**
- **调节右边的垂直偏移量（Vertical Offset），点击右边的箭头将其从+50 dBV/m 调为+60 dBV/m，以便将 Class A 的标准线移入视图区。**
- **点击开始仿真按钮“Start Simulation”，开始 EMC 仿真。**

您将看到几个辐射峰值超过了 Class B 标准。如下图。



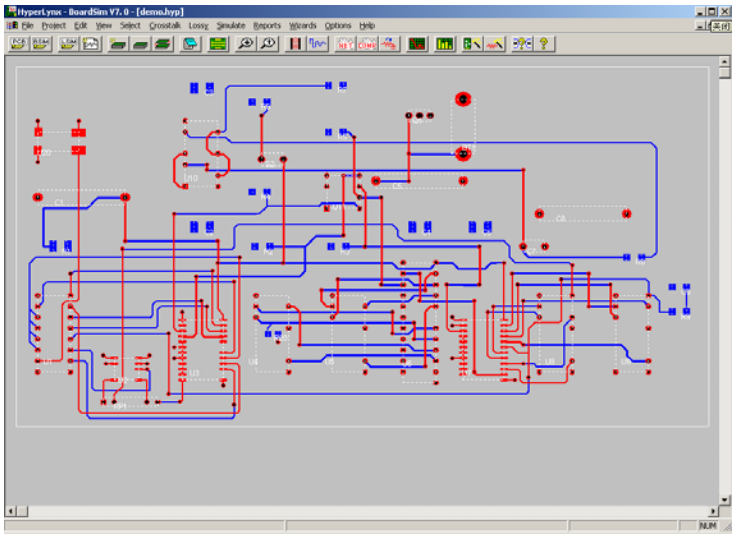
很清楚，我们看到这个网络的信号完整性和 EMC 都有问题，我们都已经看到了信号波形和频谱分析的结果，可是我们如何解决这些问题呢？板级的批仿真告诉我们这个网络的端接值不匹配，让我们继续往下看。

BoardSim 端接向导



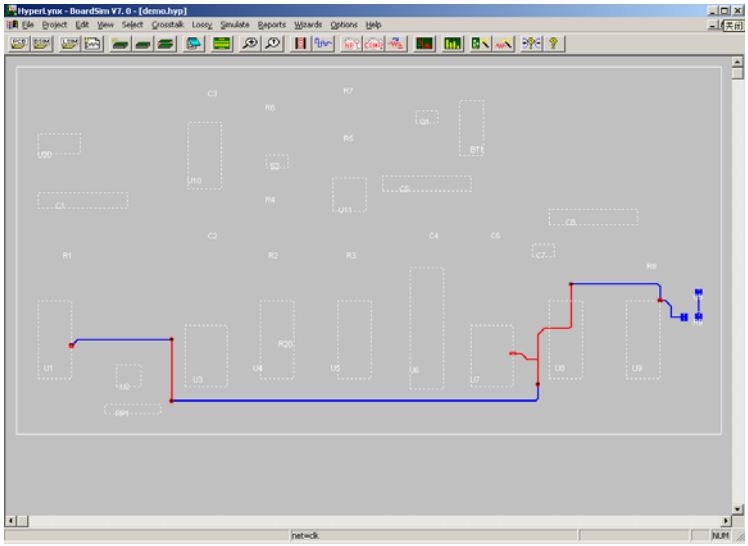
BoardSim 包含一个智能的特点称为端接向导（Terminator Wizard），它可以针对信号完整性问题提出端接策略的建议。

选择“clk”网络



通过菜单的 Select > Net by Name…选择“clk”网络：

- **选择菜单的 Select 项，再下拉选择“Net by Name…”，或者点击工具条上的图标按钮** **。打开“Select Net by Name”对话框。**
- **在列表中，双击网络“clk”，对话框关闭，在 PCB 板浏览窗口中显示出“clk”网络及走线。**



注意：您可以通过点击“Sort Nets By”区域的“Name”单选框，来改变列表中网络名字依字母排序的排序。这也是一个有用的工具，由于可以依网络的长度进行排序，因此对于一块新板，您可以首先分析最长的网络。

请注意各个网络是如何在 Board 浏览器中被显示的：就象在 PCB 布线工具中一样，每一层都有各自的颜色代表金属的走线（包括过孔和元件焊盘）。各种颜色对应于相应的层（各层颜色的设置可以通过工具条上的绿色图标 ）。

检查“clk”网络的拓扑，驱动 IC 位于左下角，它有两个接收端，一个位于中间位置，另一个位于最右端，并且在走线的末端放置了一个 AC 端接（电阻＋电容到地）。但是前一个例子告诉我们其端接值是不对的，现在我们在更改其端接策略和元件值之前先做一个仿真。

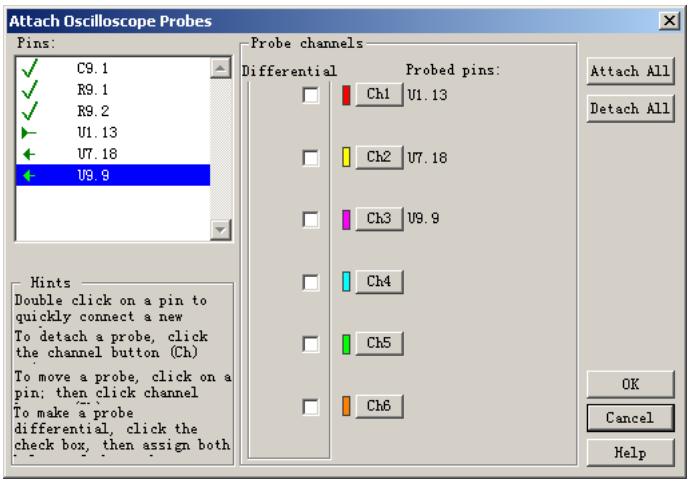
指派示波器探头

通过点击工具条上的示波器图标 ，打开示波器窗口，点击右上角的 Attach Probes…按钮，指派示波器的探头给 IC 的 U1.13、U7.18 和 U9.9。或者也可以通过菜单上的 Simulate －> Run Scope… －> Attach Probes…：

- **选择菜单 Simulate－> Run Scope…，打开示波器窗口，选择 Attach Probes…，打开指派示波器探头的对话框。**
- **在左边的 Pins 列表中，双击“U1.13”。这个 Pin 就被自动指派给示波器**

的通道 1（Ch1）。

- **双击“U7.18”，它被自动指派为通道 2（Ch2）。**
- **双击“U9.9”，它被自动指派为通道 3（Ch3）。**
- **点击 OK 按钮。**



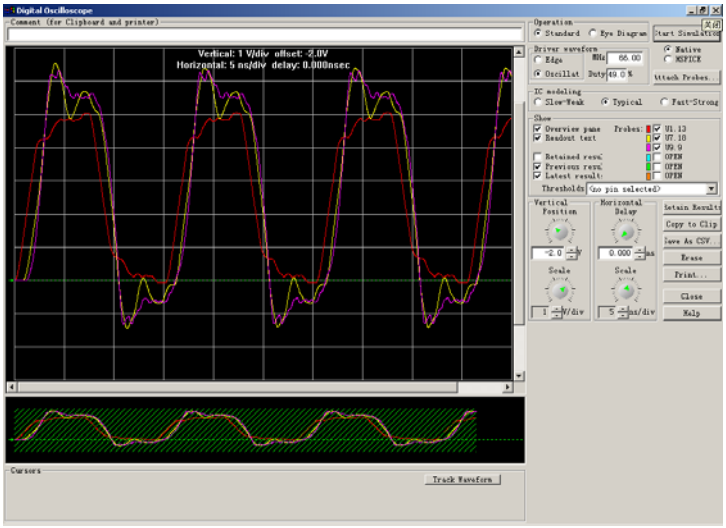
请注意这探头的板浏览器中是如何显示的：显示的每一个带颜色的箭头与其示波器中的各通道颜色是一致的。

仿真网络“clk”

仿真网络“clk”使用菜单 Simulate —>Run Scope… ，或者工具条上的示波器图标按钮 。

- **选择 Simulate 菜单，再选择 Run Scope…，打开数字示波器 Digital Oscilloscope 对话框窗口。**
- **在中间上方的驱动波形（Driver Waveform）区域中选择单选按钮“Oscillator”。**
- **在“MHz”输入框中输入“66”。**
- **点击开始仿真“Start Simulation”按钮。**

仿真状态窗口被打开并开始运行仿真；被仿真的波形电压值在示波器窗口上显示出来。 如下图。



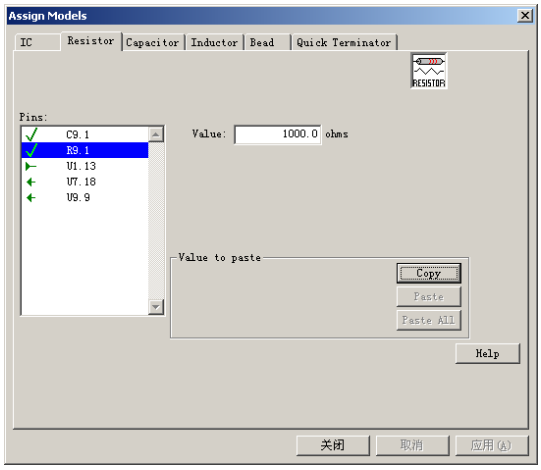
如果您的设计按照此 Demo 的设置，屏幕上看到的显示波形就是实际的电压波形情况：接收端的波形（紫色和黄色的波形）看起来有很多过冲和下冲。同样，它存在大量的高频成分，看起来象是一个辐射源。与前面讨论的板级批模式分析中存在同样的问题。

调试“clk”网络

检查端接可以从菜单“Select”－> “Component Models / Values…”

- **将示波器窗口最小化。**
- **选择菜单项“Select”－> “Component Models / Values…”，打开指派模型“Assign Models”对话框。**
- **在左边的 Pins 列表中，点击“R9.1”高亮，右边将显示出电阻的模型对话框。**

请注意电阻的阻值是 1000 Ohms。这个阻值对 AC 端接来说太大了。



检查电容值：

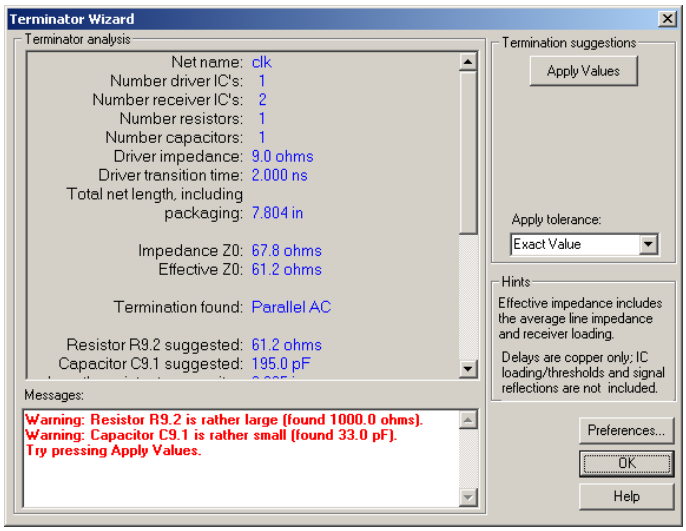
- **在左边的 Pins 列表中，点击“C9.1”高亮，右边将显示出电容的模型对话框。**

电容值是 33 pF－对于“clk”网络来说可能太小了，好了，不要推测了！让我们来运行一下端接向导就知道了。

运行端接向导

运行端接向导可以从菜单“Wizards” －> “Terminator Wizard…”，或者选择工具条上的图标按钮 。

- **关闭刚才的指派模型“Assign Models”对话框。**
- **选择菜单的“Wizards”选项，选择“Terminator Wizard…”，端接向导对话框将打开。**



当您运行端接向导的时候，BoardSim 会自动地分析被选择的网络，并生成一个走线状态列表，在列表的底部，您可以看到它对端接的建议值。在这个例子中，向导可以正确地测定这个端接的类型是并行 AC（“parallel AC”）端接。并计算出优化的建议 R 和 C 值，在计算中，BoardSim 可以自动地计算各种结果，如接收端 IC 的负载电容、总共的走线长度和驱动阻抗等等。

应用端接向导的建议值

让我们通过端接向导的元件建议值来试试，点击 Terminator Wizard 窗口右上方的值应用 “Apply Values”按钮。

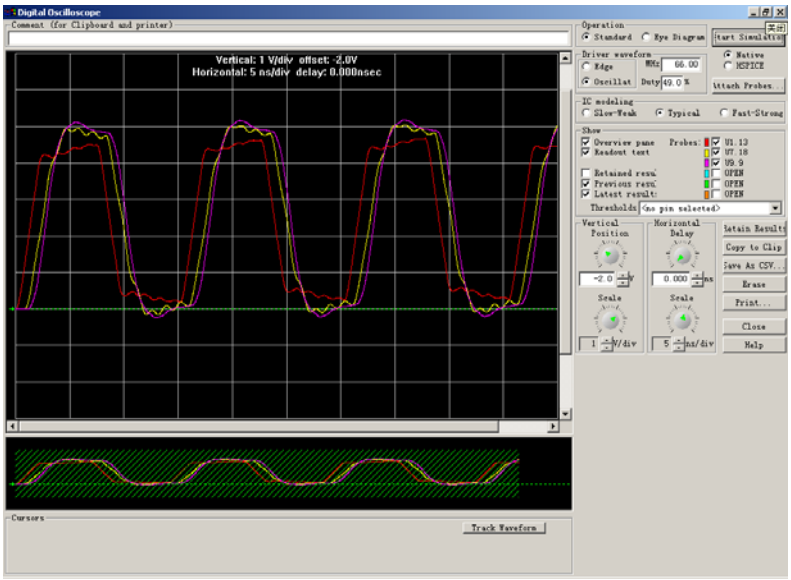
- **在端接向导窗口中，点击右上方的值应用“Apply Values”按钮。**

➢ **点击“OK”按钮，关闭对话框。**

这时，端接向导的建议值就已经被输出到“clk”网络上的电阻和电容中。接下来让我们重新仿真一遍看看效果如何！

重新仿真“clk”网络

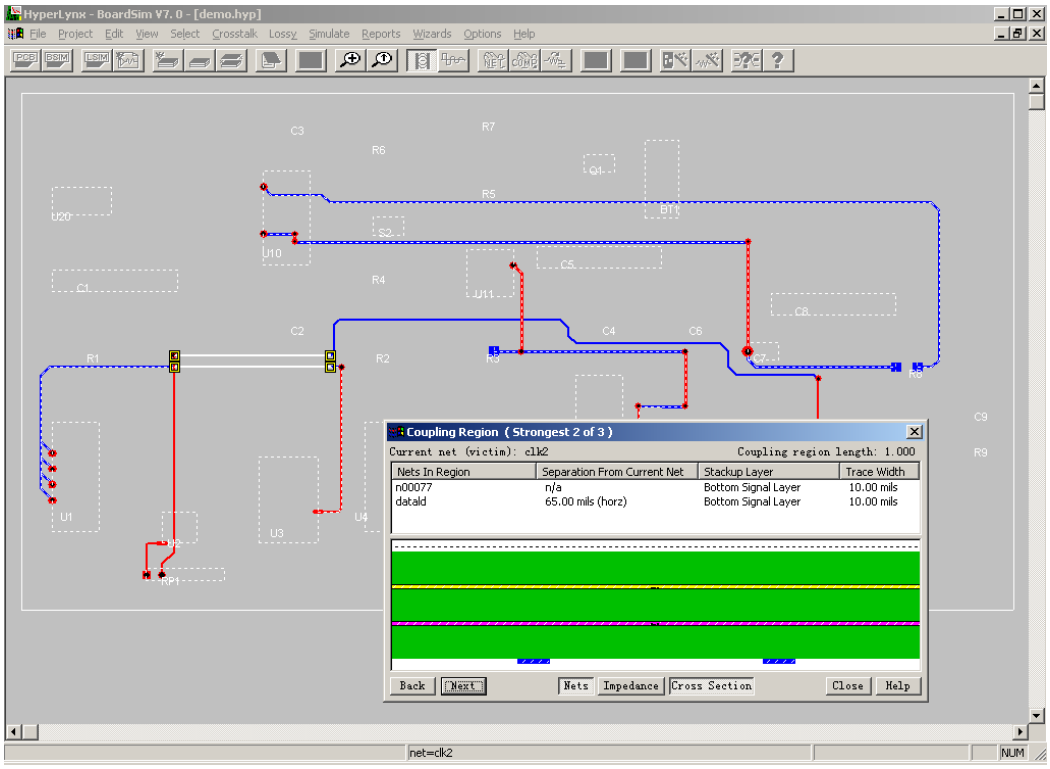
➢ **最大化数字示波器窗口。**
➢ **点击“Erase”按钮以清楚之前的仿真波形。**
➢ **点击右上方的开始仿真“Start Simulation”按钮。**



请注意此时的波形，在接收端 IC（紫色和黄色）的过冲和下冲已经被消除了。而且，比之前的波形更少了高频成分，不论从信号完整性还是电磁辐射方面都改善了信号波形。BoardSim 可以自动地为您计算出最佳的端接元件值。

注意：如果您的设计中有 10%－20%的走线需要考虑信号完整性问题，请将刚才您所做的工作（包括相关的调试等）与您在实验室中用电烙铁和示波器对原型样机进行的费时费成本的调试做一对比！很清楚这个工具可以为您的复杂的高速设计节省大量的时间和资金。

BoardSim 串扰分析



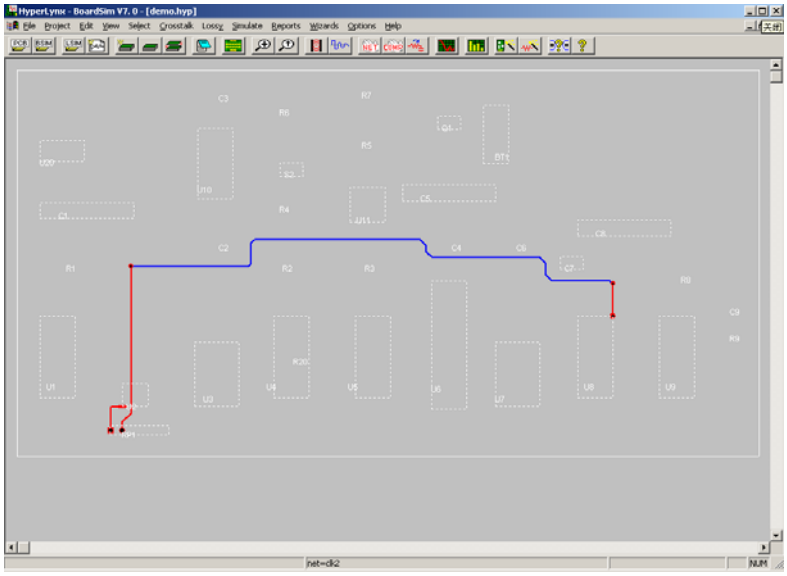
BoardSim 提供了一种独特的方法查找复杂布线中的耦合网络和查看拓扑图形中的耦合区域，同时可以显示出截面浏览图。

根据用户设定的电平域值，BoardSim 将显示耦合区域中布线间距和长度等几何信号。

让我们来看看下面这个例子

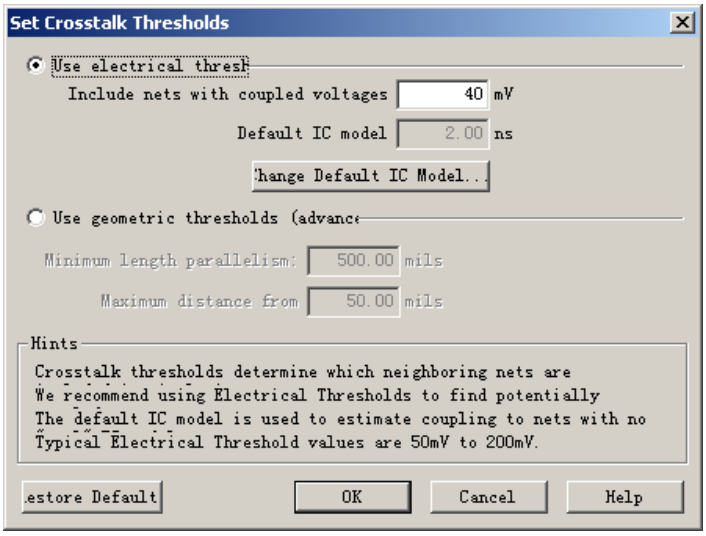
选择“clk2”网络

- **打开 demo.hyp 文件。**
- **通过菜单“Select” －> “Net by Name…”选择网络“clk2”。如下图。**



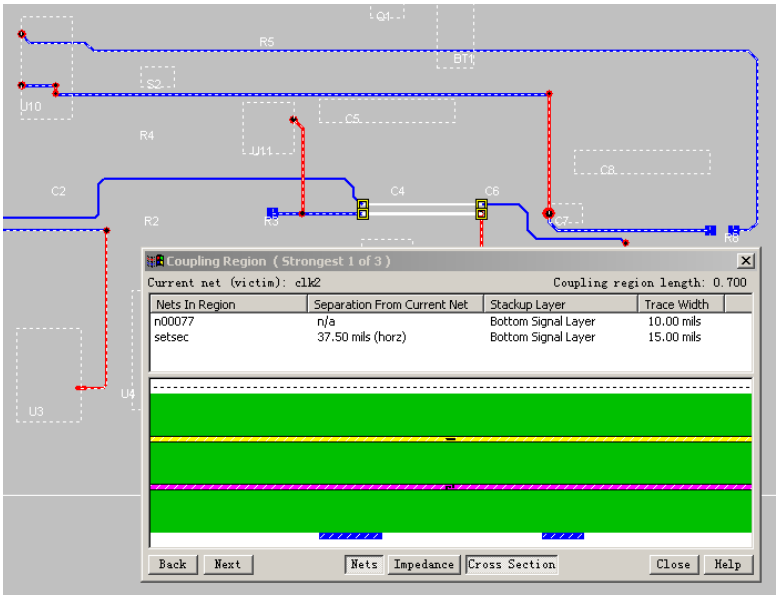
串扰仿真

- 选择主菜单“Crosstalk” —> “Enable Crosstalk Simulation”。或者点击工具条上的图标按钮 ，使能串扰仿真。
- 再选择主菜单上的“Crosstalk”—>“Set Crosstalk Thresholds”。打开设置串扰域值对话框。
- 点击“Use Electrical Thresholds”单选框，输入 40 mV 作为串扰域值。如下图。



- 点击“Change Default IC Model…”按钮，设置 Rise/fall time 值为 1 ns。点击“OK”按钮。
- 再次选择主菜单“Crosstalk” —> “Walk Coupling Regions（Field Slover views）…”
- 点击“Next”按钮浏览各个耦合区域，同时观察白色的“耦合条”，它显

示的就是超过我们设定的超过耦合域值的区域。 如下图。



您应该可以看到三个被标示的耦合区域。

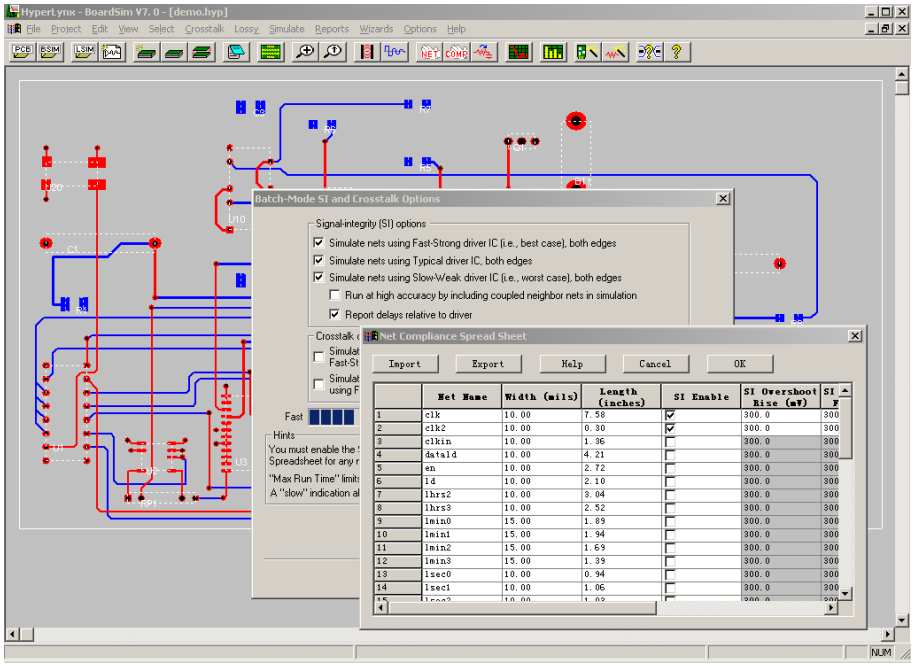
- **点击“Impedance”按钮，显示 L、C、Z 值并优化串扰段的端接值。**

查找到串扰问题是解决这个问题的第一步，我们可以通过菜单的 File 下的 Export 功能，将其导出到 LineSim 中进行详细的解决，解决的方法类似于上面提到的 LineSim 串扰的例子。

BoardSim 提供了与常用的仿真器的接口，包括 HSPICE、ICX、XTK、ePlanner 和 LineSim。对其中一些工具（HSPICE 和 XTK），这种方式是输入板级数据信息最为方便的一种方法。

- **选择主菜单“File” —> “Export Net/Board to…”。可以将目前被分析的网络或者整板信息导出到各种仿真器中。**

BoardSim 的板级分析



快速地分析整板的信号完整性（SI）和 EMC 问题（板级向导/批模式）

BoardSim 包含一个强大的批处理模式的功能称为“Board Wizard”（板级向导），它只需要一个简单的操作，就可以扫描您的整个 PCB 板或者整板的某部分。板级向导提供了一套“快速分析”的功能，它可以高效地分析您的这个 PCB，查找象信号完整性和 EMC 等问题；它的另外一个子功能可以对被选择的网络进行自动的、详细的仿真，可以分析详细的参数如过冲、极限制和驱动端到接收端的延迟等。根据用户定义的规则约束，这些很多都可以自动地被检查。例如：可以标示出那些过冲超标或者延迟超标的网络。

板级向导快速分析功能可以做为一个很好的进度规划工具，例如：如果您刚刚从 PCB 设计组得到一个设计，而且需要对这个设计的质量和进度快速地规划。那么您可以利用它的彩色输出报表来指导下一步的工作和进行更具体的分析。

打开演示板文件“DEMO.HYP”

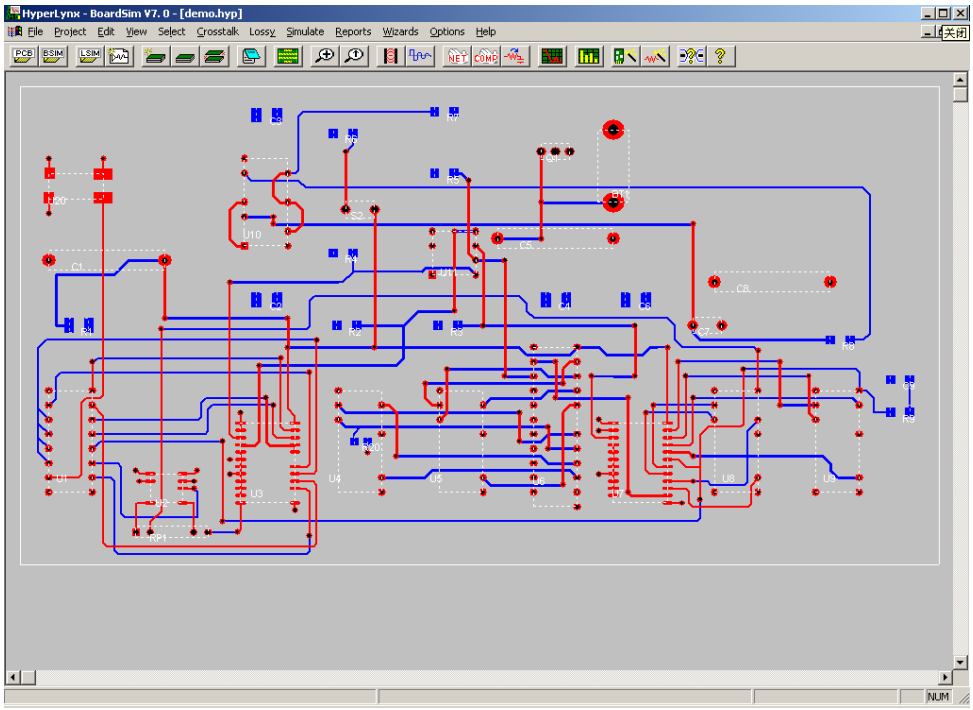
- **选择菜单“File” —> “Open BoardSim File（.HYP）…”，跳出打开 BoardSim 文件对话框。**
- **双击 DEMO.HYP 文件，BoardSim 打开此文件。**

这时您将在 BoardSim 的板浏览器窗口中看到整个 PCB 的设计文件。

板浏览器

BoardSim 包含一个物理板浏览器（一些仿真器中没有）。如果您没有 PCB 设计的软件（例如：您的 PCB 板是通过外包的其他服务公司设计的，或者要求是 UNIX 平台但是您工作于 PC），BoardSim 为您提供了便于浏览 PCB 设计文件的方便。

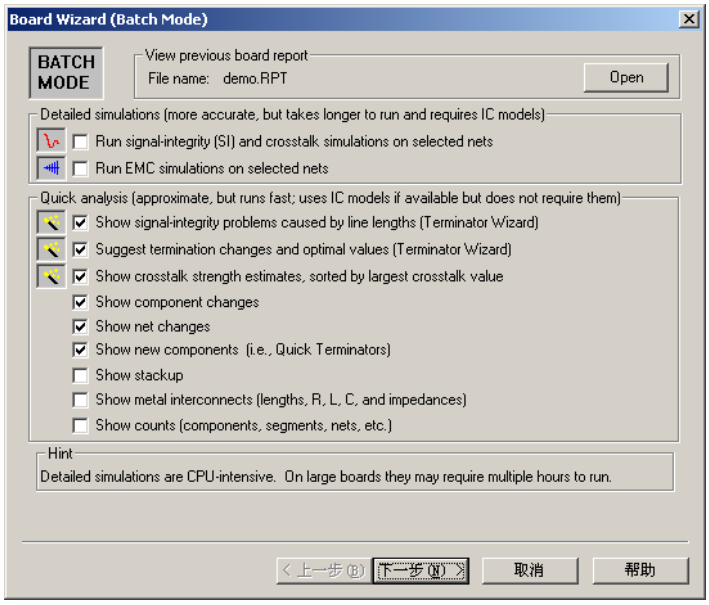
板浏览器显示了 Demo 板的外框、元件形状和参考符号等。请注意在顶层的器件有白色的外框，底层的器件有灰色的外框。在这个板上，表贴电阻和电容都位于底层。如下图。



对整板进行快速分析

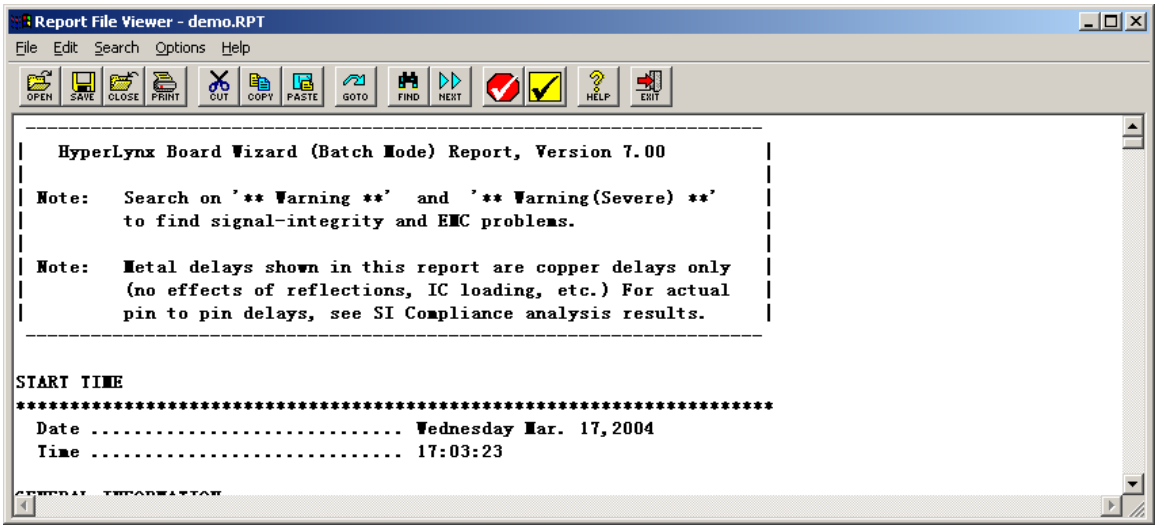
选择菜单项的“Wizards” —> “Board Wizard（Batch mode）…” ，或者通过工具条上的图标按钮 。

- **选择菜单的“Wizards” —> “Board Wizard（Batch mode）…”，板级向导对话框打开。**
- **保持所有的复选框为选择为默认值（默认情况是：两个“Detailed Simulations”复选框不选择，“Quick analysis”的前 6 个选项勾选，其他几个不选）。这样几个最感兴趣的选项就会被包含于快速分析报告中，点击“下一步”按钮，进入批模式默认驱动器设置页。**



- **确认上升/下降（Rise/fall time）沿时间设置为 2ns。**
- **以下各页均按照默认值设置，点击“下一步”按钮，直到进入批模式分析（“Batch-Mode Analysis”）页出现“完成”按钮，点击此按钮。**

板级向导快速分析开始运行，并报告板上各网络分析的状态。输出的报告文件如下图：



检查板级向导快速分析的输出

当在报告文件浏览器中查看报告文件时，板级向导报告以特色的格式显示以便重要信息的查找。浏览器可以查找信号完整性的警告位置，查找警告使用黄色的“find warning”图标 ，查找严重警告使用红色“find warning（severe）”的图标 。

- **在报告文件浏览器窗口中，点击黄色的按钮，光标将跳转到文件中第一个“warning”的地方。**
- **点击“find warning”按钮多次，光标可以跳到不同的可能存在信号完整性问题的网络位置，或者由于网络物理长度太长而没有端接，或者端接的元件值并不是最优值等。**

您可以使用板级向导自动地查找问题。

查看向导报告中网络名为“datald”的网络：

- **在报告文件浏览器中，选择菜单“Search” —> “Find”，打开查找对话框。**
- **在查找数据框中输入“datald”。**
- **点击“OK”按钮。**

浏览器光标跳到网络“datald”部分。板级向导报告指出“datald”网络还没有端接，对于给定的默认上升/下降沿时间是 2ns，这种情况下“datald”的布线长度太长了，并给出了建议的最大布线长度。向导给出了一些建议如何改善这个网络的信号完整性问题。

关闭报告文件浏览器。

详细分析重要的时钟网络

现在让我们重新再运行一遍批模式分析，这一次使用详细仿真的功能对 PCB 板上的少数网络进行仿真。与刚才的快速仿真进行对比，详细仿真提供了更具体的报告信息，针对一个网络上的每个接收端 IC 的 Pin、详细的过冲、最小/最大 IC Pin 的延迟和极限域值等。由于这个 Demo 板比较小，它只包含了两个时钟网络；在实际的 PCB 中，您当然可以选择一大组的网络（甚至板上的每个网络，虽然仿真每个网络都需要浪费设置和 CPU 的时间）。可是，两个网络已经足够演示这个详细仿真是如何工作的了。

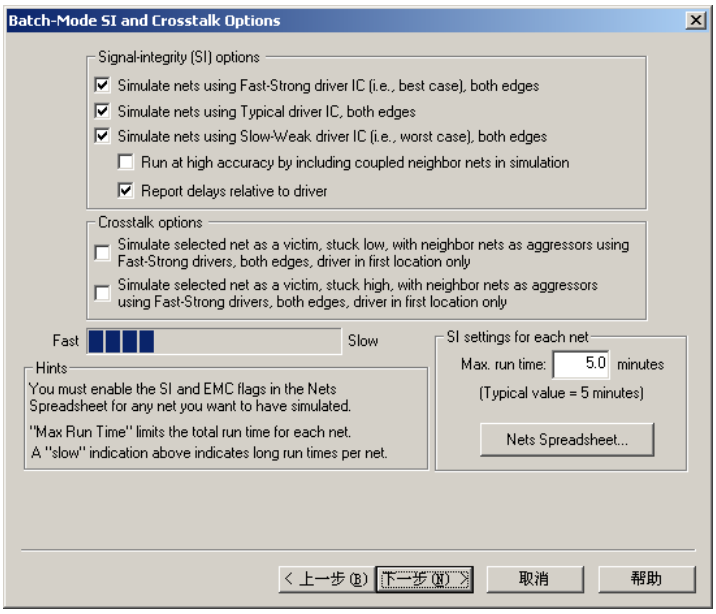
注意：向导既可以进行信号完整性仿真，也可以进行 EMC 仿真。在这个例子中，我们都将看到。

通过“clk”和“clk2”网络运行板级向导的详细仿真功能；对其信号完整性和 EMC 进行仿真；设置每一个 Pin 的最大延迟为 2.5ns；设置时钟频率为 100MHz。

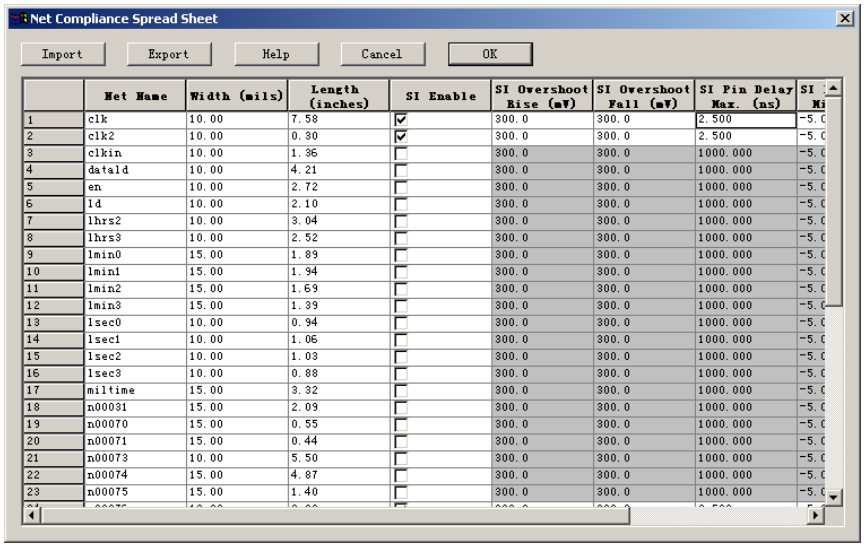
- **选择菜单的“Wizards” —> “Board Wizard（Batch mode）…”，或者通过工具条上的图标按钮 。板级向导对话框打开。**
- **取消所有的快速分析“Quick Analysis”复选框功能。**
- **勾选详细仿真“Detailed Simulations”下的两个复选框“Run signal-integrity (SI) simulations on selected nets”和“Run EMC**

simulations on selected nets”，点击“下一步。

- 出现“Batch-mode SI and Crosstalk Options”设置页。


Batch-Mode SI and Crosstalk Options
Signal-integrity (SI) options
Simulate nets using Fast-Strong driver IC (i.e., best case), both edges
Simulate nets using Typical driver IC, both edges
Simulate nets using Slow-Weak driver IC (i.e., worst case), both edges
Run at high accuracy by including coupled neighbor nets in simulation
Report delays relative to driver
Crosstalk options
Simulate selected net as a victim, stuck low, with neighbor nets as aggressors using Fast-Strong drivers, both edges, driver in first location only
Simulate selected net as a victim, stuck high, with neighbor nets as aggressors using Fast-Strong drivers, both edges, driver in first location only
Fast
Slow
SI settings for each net
Max. run time: 5.0 minutes
(Typical value = 5 minutes)
Nets Spreadsheet...
Hints
You must enable the SI and EMC flags in the Nets Spreadsheet for any net you want to have simulated.
"Max Run Time" limits the total run time for each net.
A "slow" indication above indicates long run times per net.
< 上一步 (B)
下一步 (N) >
取消
帮助

- 点击右方的“Nets Spreadsheet…”按钮，将弹出“Net Compliance Spread Sheet”对话框，在表格的“clk”和“clk2”网络的“SI Enable”栏目中勾选（这两个网络应该位于前面两个位置，如果不是，请点击“Net Name”字段栏将其按网络名进行排序）。如下图。



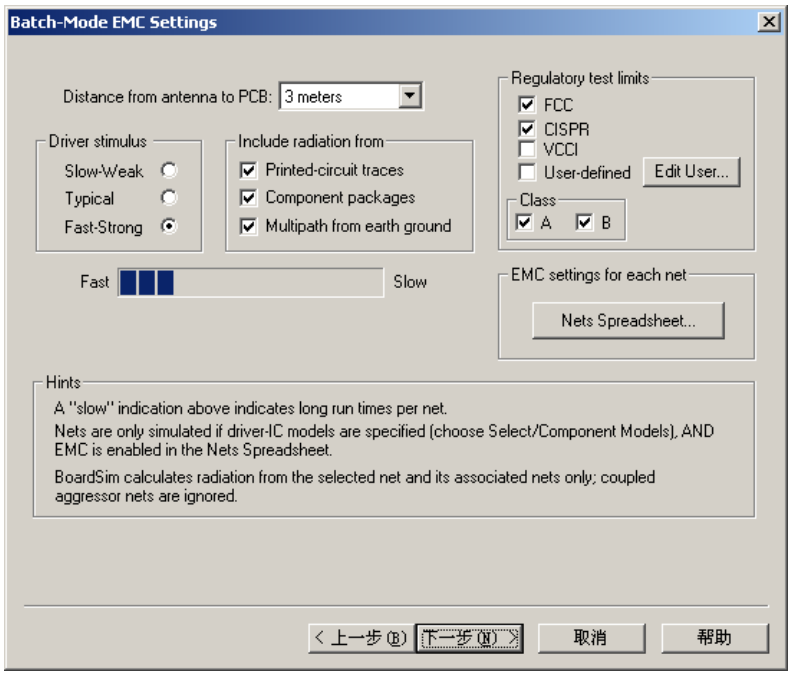
	Net Name	Width (mils)	Length (inches)	SI Enable	SI Overshoot Rise (mV)	SI Overshoot Fall (mV)	SI Pin Delay Max. (ns)	SI Mi
1	clk	10.00	7.58	☑	300.0	300.0	2.500	-5.0
2	clk2	10.00	0.30	☑	300.0	300.0	2.500	-5.0
3	clkin	10.00	1.36	☐	300.0	300.0	1000.000	-5.0
4	datald	10.00	4.21	☐	300.0	300.0	1000.000	-5.0
5	en	10.00	2.72	☐	300.0	300.0	1000.000	-5.0
6	ld	10.00	2.10	☐	300.0	300.0	1000.000	-5.0
7	lhrs2	10.00	3.04	☐	300.0	300.0	1000.000	-5.0
8	lhrs3	10.00	2.52	☐	300.0	300.0	1000.000	-5.0
9	lmin0	15.00	1.89	☐	300.0	300.0	1000.000	-5.0
10	lmin1	15.00	1.94	☐	300.0	300.0	1000.000	-5.0
11	lmin2	15.00	1.69	☐	300.0	300.0	1000.000	-5.0
12	lmin3	15.00	1.39	☐	300.0	300.0	1000.000	-5.0
13	lsec0	10.00	0.94	☐	300.0	300.0	1000.000	-5.0
14	lsec1	10.00	1.06	☐	300.0	300.0	1000.000	-5.0
15	lsec2	10.00	1.03	☐	300.0	300.0	1000.000	-5.0
16	lsec3	10.00	0.88	☐	300.0	300.0	1000.000	-5.0
17	miltime	15.00	3.32	☐	300.0	300.0	1000.000	-5.0
18	n00031	15.00	2.09	☐	300.0	300.0	1000.000	-5.0
19	n00070	15.00	0.55	☐	300.0	300.0	1000.000	-5.0
20	n00071	15.00	0.44	☐	300.0	300.0	1000.000	-5.0
21	n00073	10.00	5.50	☐	300.0	300.0	1000.000	-5.0
22	n00074	15.00	4.87	☐	300.0	300.0	1000.000	-5.0
23	n00075	15.00	1.40	☐	300.0	300.0	1000.000	-5.0

- 拖动 Spreadsheet 表格到右边，将“clk”和“clk2”网络的“SI Pin Delay Max（ns）”的值修改为 2.5 ns。点击“OK”按钮，再点击“下一步”按钮。

- 出现“Batch-mode EMC Setting”对话框，点击右边的“Nets Spreadsheet…”按钮，进入“Net Compliance Spread Sheet”设置表格。

用同样的方法，勾选“clk”“clk2”网络，在栏目“EMC Clock Freq.（MHz）”中输入 100，确认 EMC 时钟的占空比是否 49%，点击“OK”按钮。

- 返回到“Batch-mode EMC Setting”对话框，检查 EMC 仿真的各项设置：保持默认的“Regulatory test limits”设置 FCC 和 CISPR，Class A 和 B；“Distance from the Antenna to PCB”设置为 3 meters。如下图。



- 一直点击“下一步”按钮，均使用默认设置，直到“完成”按钮出现。

通过以上的这些步骤，您已经告诉了板级向导以下信息：

- 只对“clk”和“clk2”网络运行详细仿真。
- 对网络上的所有的 Pin，检查其过冲是否超过默认设置的 300 mV。
- 所有的接收 Pin，检查驱动到接收端的延迟是否超过 2.5 ns。
- 针对 EMC 兼容的限制（FCC、CISPR - Class A&B），使用 100MHz 且占空比为 49%的时钟源，测试距离为 3 米，自动检查网络的辐射。

当您点击了“完成”按钮，板级向导开始运行，并报告它的状态。因为此次详细仿真只选了两个网络，因此不会花很长的时间；可是，因为它需要仿真最好、典型、最坏三种情况，以及双沿（上升和下降沿），因此它必须对每个网络仿真六次。

检查板级向导详细仿真的输出

- 在报告文件浏览器中，选择“Find Warning”图标 。

➢ **你可能需要点击几次才能够找到您感兴趣的网络位置。**

浏览器跳到“clk”网络（如果需要，可以将放大以便可以浏览到所有数据），详细仿真对网络“clk”进行了详细的上升和下降沿仿真，报告了过冲和延迟及 EMC 等超标问题。请注意另一个网络（“n00076”）也被调入仿真，虽然我们没有明确地选择分析它，但是因为网络“n00076”和网络“clk”通过端接电阻连接在一起的，BoardSim 称之为“相关网络”，而且可以自动地找到相关网络一起仿真。

报告中对网络“clk”具体的描述如下：

- 网络“clk”上每个 IC Pin 的统计。
- 每个 Pin 的输入输出方向（in/out）。
- 对信号的上升和下降沿，都对驱动端的 Pin 开关到每个接收端的 Pin 开关的最小和最大延迟进行计算；这些计算都使用接收端 IC 的最小/最大极限值和最好/典型/最坏情况下的数据进行。
- 对信号的上升和下降沿，最大过冲指的是超过最终直流电压的数值。
- 在错误标志中，字母代码代表出现了哪一种类型的信号完整性问题；在这个例子中，两个接收端都发生了过冲（“O”）和延迟（“D”）违规错误，在这个例子中没有显示另外两种错误（开关门限错误和多次穿越门限错误）。

详细仿真向导同时还产生了另外两个文件，以便其他的程序调用：

- 一个 .CSV（“Comma Separated Values”）文件（DEMO-SI.CSV）包含了报告中所有的网络数据，它可以直接被 Microsoft 的 Excel 或者其他电子表格或数据库程序打开。
- 一个 .SDF（“Standard Delay Format”）文件（DEMO-SI.SDF）包含了包括中的管脚延迟信息，它可以被 Verilog 和 VHDL 仿真器调用，或者其他的时序分析工具。

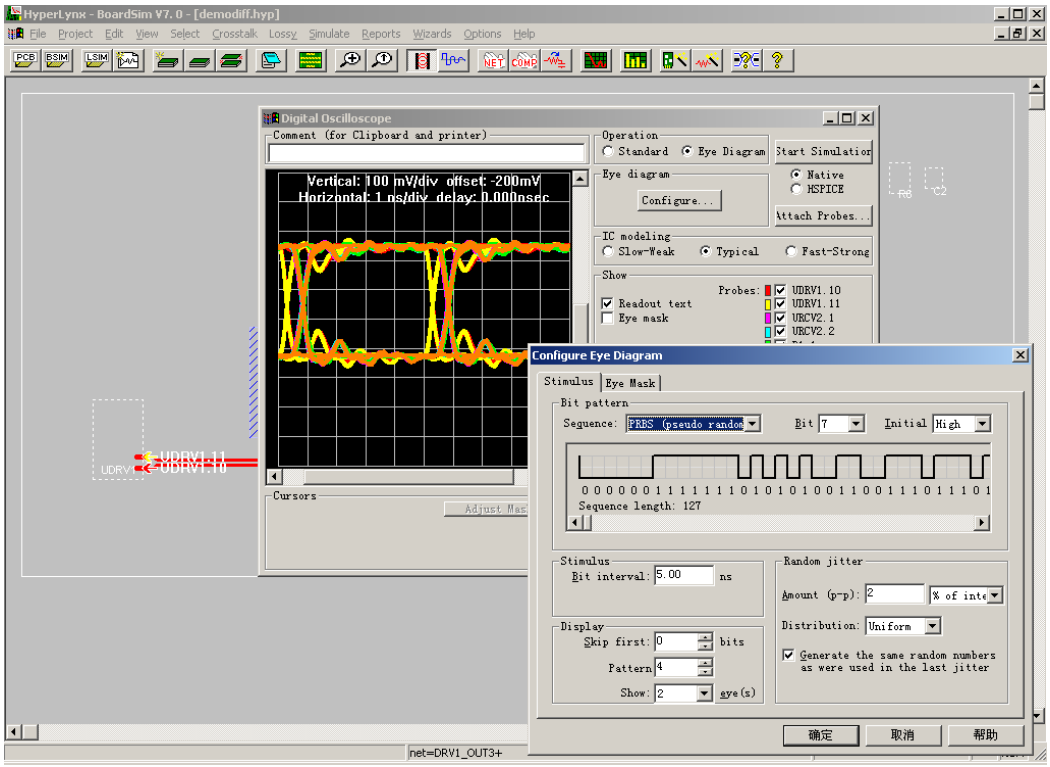
（注意：这些文件被存放于您安装 HyperLynx 软件的 HYPFILES 目录下）

网络“clk2”（它也包含了相关网络“n00077”）也显示了相似的结果（除了它没有发生延迟违规），您也可以通过点击浏览器的的“Next”按钮跳到网络“clk2”的报告部分。

当您看完了详细报告之后，关闭报告浏览器。

您还有更快更简单的方法得到关于您板的这些信息吗？对于分析您的整板或者部分网络，这是一个强大的工具。

BoardSim 差分和 GHz 仿真



现在让我们看看 BoardSim 的一些针对高速、“3GIO”互连设计的特点。与旧的并行、同步类型的总线的信号完整性仿真的工具不同的是，这是一种基于差分信号总线的标准。这种新技术强调的是差分信号；使用是超快速的串行数据通路；使用源同步或者完全同步（不需要时钟）技术；速率达到 3.125 Gbps （在未来的几年将会更高）。

为了适应这种的新设计类型，信号完整性分析工具必须有新的特点。两个新的功能已经在 LineSim 部分有介绍：有损传输线和 HSPICE 仿真。这部分主要介绍其他几个在 3GIO 中的重要特点：高级过孔模型、差分信号和多位触发的眼图功能。

如果您对 3GIO 仿真感兴趣，请回顾一下它的特点。

过孔效果仿真

- **点击工具条上的图标按钮 ，打开 demo.hyp 文件。**
- **通过菜单的“Select” －> “Net by Name”选择“clk”网络。**

注意在板浏览器中这个网络上包含了好几个过孔，精确地说是 6 个过孔。这些过孔对高速信号会产生什么影响呢？通过 BoardSim 我们很容易找到这个答

案。

首先，让我们将驱动 IC 模型改为更快的驱动，这样，效果会更加明显。

- **选择菜单“Select” － > “Component Models / Values…”。或者点击工具条图标按钮**

。
- **在 Pins 列表中，选择 U1.13，并点击右边的“Select…”按钮。**
- **点击“EASY.MOD”按钮。**
- **在 Devices 列表中选择“CMOS,3.3V,Ultra-Fast”模型。**
- **点击“OK”按钮，关闭窗口。**

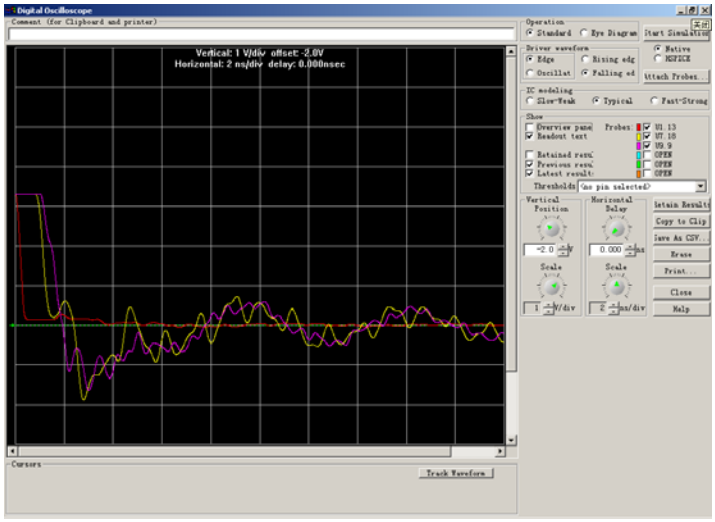
无过孔模型仿真

让我们先进行无过孔模型的仿真，然后重新对包括过孔模型的再进行仿真。

- **选择菜单“Edit” － > “Via Modeling…”，打开仿真过孔模型的对话框。**
- **点击取消左上方的“Include Via L and C”复选框，使得在仿真过程中不包括过孔模型。**
- **点击“OK”按钮。**

现在让我们开始仿真：

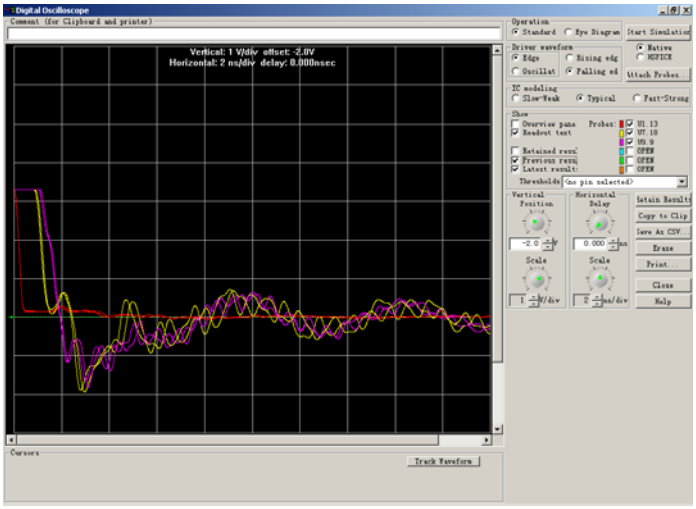
- **点击工具条上的示波器仿真图标按钮** **。**
- **点击开始仿真“Start Simulation”按钮。如下图。**



有过孔模型重新仿真

现在让我们重新仿真一下过孔模型使能的情况。

- 选择菜单“Edit” — > “Via Modeling…”，打开仿真过孔模型的对话框。
- 选择左上方的“Include Via L and C”复选框，并检查“Auto-Calculate”单选按钮是否被选中。
- 点击“OK”按钮。
- 点击工具条上的示波器仿真图标按钮 ，打开仿真窗口，点击开始仿真“Start Simulation”按钮。
- 请注意仿真结果的变化：过孔明显地增加了信号传输的延迟。



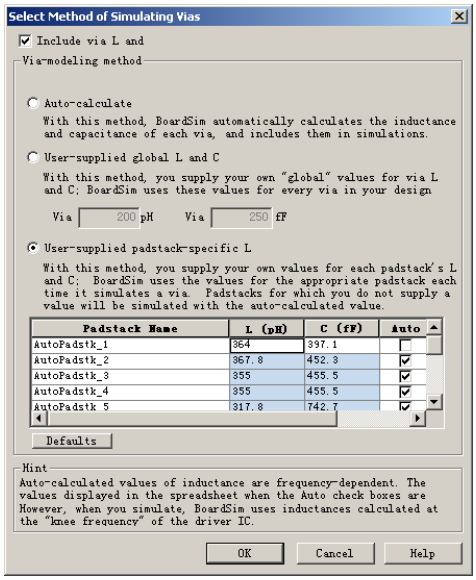
关于过孔模型的高级选项

让我们来看看 BoardSim 对过孔模型设置的其他选项。

- 选择菜单“Edit” — > “Via Modeling…”，打开仿真过孔模型的对话框。
- 注意对话框中三个单选按钮。

“Auto-Calculate”选项让 BoardSim 使用内部计算器对设计中的每个过孔类型的电感和电容参数自动地进行计算。

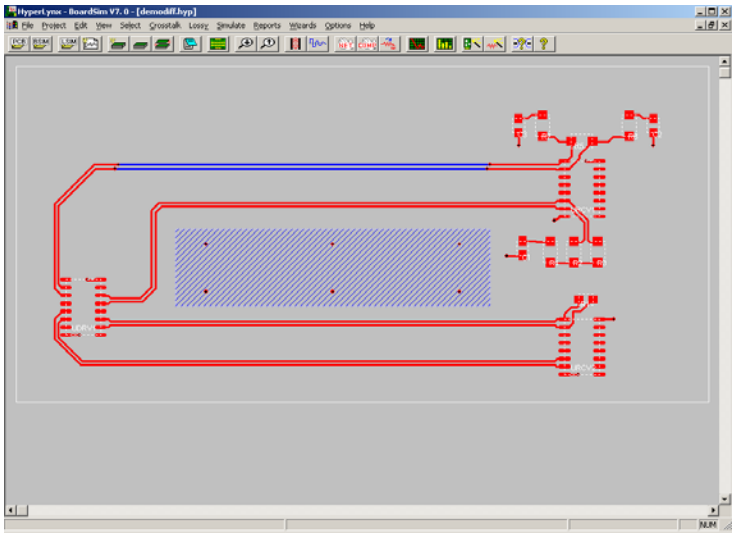
但是，有些高级用户宁愿使用他们自己计算的过孔 L 和 C 值（也许使用外部的计算器工具计算，比如使用 3-D field solver）。选项“User-Supplied Global L and C”允许使用一个单一的 L 和 C 参数应用设计中的所有过孔。或者更高级的“User-Supplied Padstack-Specific L and C”选项（试着点击一下看看）可以让用户使用一个 Spreadsheet 表格格式对设计中的任意一个或全部的过孔不进行自动计算，而根据用户的要求，使用手工设置。



差分对网络

现在让我们看一个典型的差分对网络；最后，我们使用眼图仿真它们。

- **在过孔模型对话框中点击“OK”按钮，关闭对话框。**
- **点击工具条上的按钮图标** ，**打开 BoardSim 的演示文件“DEMODIFF.HYP”。**
- **在弹出的“Restore Session Edits”对话框中，点击“OK”按钮。**
- **请注意在这个演示板中，包含了几对差分对。如下图。**

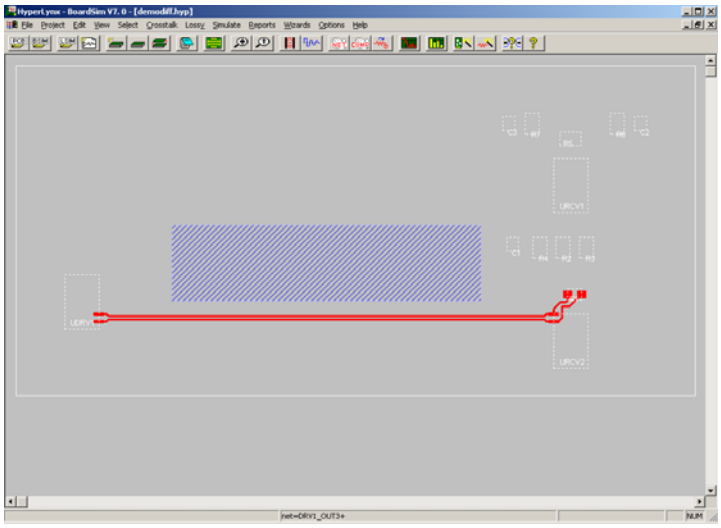


注意：这个板显示了几种不同方法端接的差分对；我们将关注一个最常用的端接方案：线到线电阻。

- **从菜单“Select” —> “Net by Net…”对话框中选择“drv1_out3+”网**

络。

- 注意在板浏览器中显示了两个网络，由于这是一个差分网络：“drv1_out3+”和它的负极性对“drv1_out3-”网络。如下图。



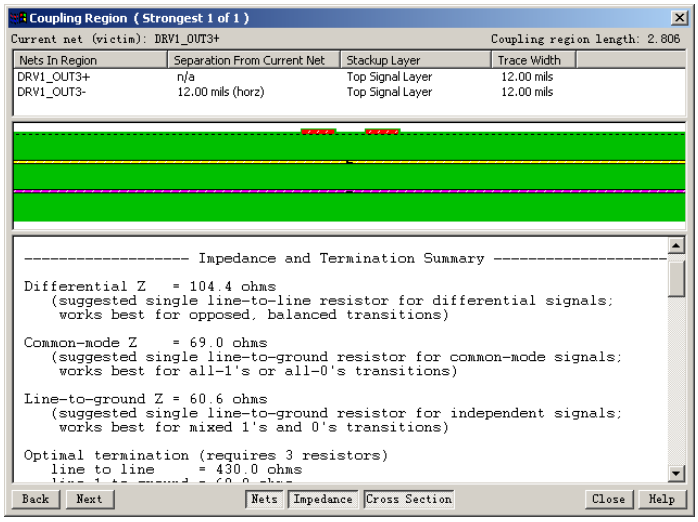
差分对阻抗

使用前面的物理串扰特点，BoardSim 可以帮助您检查实际布线中的网络对的差分阻抗

- 选择主菜单“Crosstalk” —> “Enable Crosstalk Simulation”。或者点击工具条上的图标按钮 ，使能串扰仿真。
- 再选择主菜单上的“Crosstalk”—>“Set Crosstalk Thresholds”。打开设置串扰域值对话框。
- 点击“Use Electrical Thresholds”单选框，在“Include nets with coupled voltages greater than”值中输入 20 mV 作为串扰域值。
- 点击“OK”按钮关闭对话框。

注意：这样做只是为了 BoardSim 允许差分对中两根网络的耦合，而不管它们之间的耦合是多么的微弱。

- 再次选择主菜单“Crosstalk” —> “Walk Coupling Regions（Field Slover views）…”。
- 从“Coupling Region”对话框的底部，从垂直方向拉长此对话框。
- 点击窗口底部的“Impedance”按钮；将新出现一个描述差分对电特性信息的分隔窗口。
- 请注意窗口中通过 HyperLynx 的 field solver 计算出的差分对差分阻抗是 104 欧，如下图。



- **点击“Close”关闭显示窗口。**

用眼图和多位触发仿真

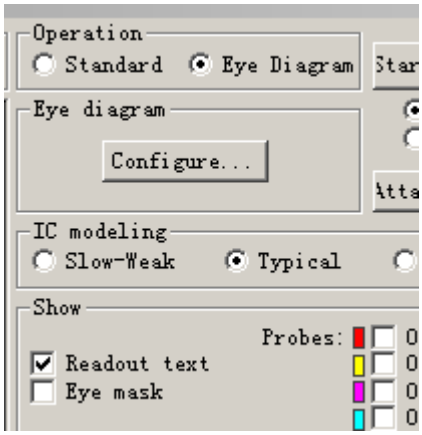
3GIO 信号通常都不是通过一个简单的上升沿或下降沿判别的，但是通过大量的重叠的跳变形成了一个叫做“眼图”的图形。判断信号的质量就通过观察整个眼图的外形，特别是这个眼图中眼的“睁开”程度。

注意：眼图可以帮助设计工程师通过多位周期观察信号的性能。在一个高速串行数据流中，设计者需要测定误码率，或者测定在接收端 IC 接收到一个错误位之前，平均成功地接收了多少位。如果这个比率低到一定的程度，从信号完整性上来说，这个系统被判为噪声太大。

眼图通过显示累积大量的随即位跳变的效果分析；眼图结果直观地显示了信号质量中象内部符号干涉和驱动 IC 的 Jitter 等全面的效果。

当在 PCB 的传输线上驱动一个信号时，仿真器会自然地产生内部符号干涉（一个位周期的反射与下一个位周期的重叠）。但是驱动 IC 的 Jitter 必须通过仿真器手工建立，模仿驱动器的行为。

- **点击工具条上的示波器图标按钮** 。
- **在示波器窗口中，点击右上方的“Operation”选项中选择单选按钮“Eye Diagram”。**
- **点击窗口“Show”选择中的“Eye Mask”复选框，取消其选择状态。如下图。**

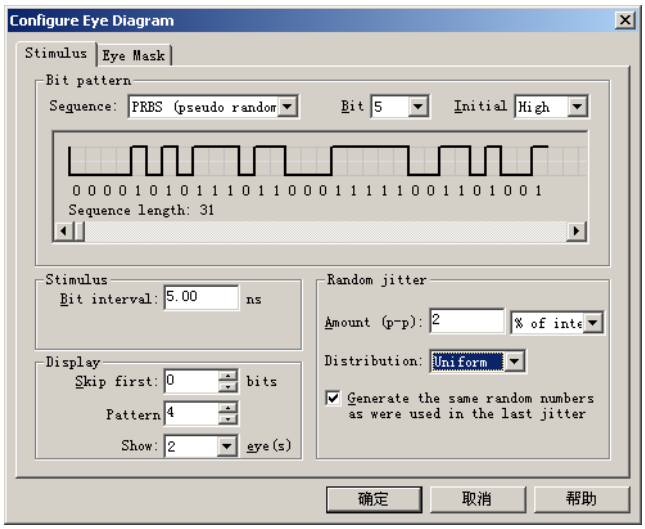


指定多位触发

为了产生眼图，我们必须先决定驱动 IC 仿真的位模式；IC 将用这种模式轮流驱动差分对网络。

注意：使用变化的位模式类型也可以产生眼图。HyperLynx 支持的包括一个简单重复跳变的波形（例如：时钟）；特殊的 8B/10B 数据或者控制字符的重复序列；指定长度的假随机位序列（PRBS）；或者用户自定义的模式。PRBS 可能是实验室中被最广泛采用的一种触发模式，所以下面我们来试试这个。

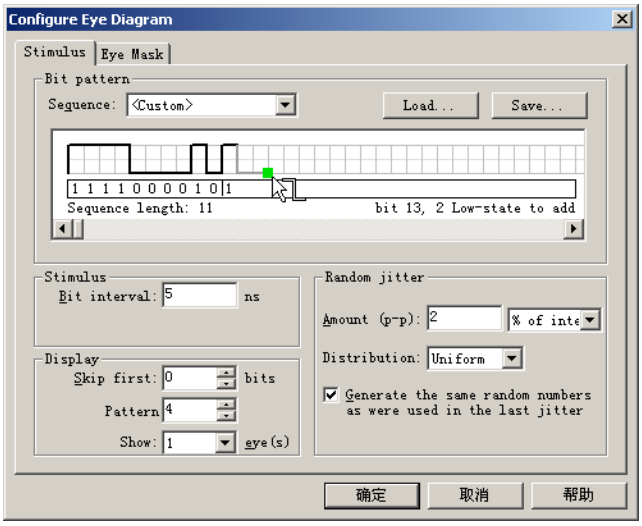
- **在窗口中点击眼图的配置按钮“Configure…”；配置眼图的“Configure Eye Diagram”对话框被打开。**
- **将位间隔“Bit Interval”改为 5 ns；这定义了仿真中每一位的长度。**
- **在窗口右下方的“Random Jitter”选择中，更改“Amount”为 2%和“Distribution”改为 Uniform；在“Display”选择中更改“Show”值为 2；这使得观察 Jitter 更加明显。如下图。**



在我们用实际的 PRBS 触发仿真前，先让我们看看用户定义的位模式是如何

产生的。

- 在“Bit Pattern”选项的“Sequence”下拉菜单中，选择<Custom>。
- 在下面的白色的位编辑框中，您可以编辑您的模式。移动鼠标到位序列末端，将出现一个绿色的指示方块，通过在高电平和低电平位置拉动鼠标，并点击鼠标左键，完成位模式的编辑；另外，您也可以通过在位模式下方输入“1”或“0”，以文本输入的方式完成位模式编辑。如下图。

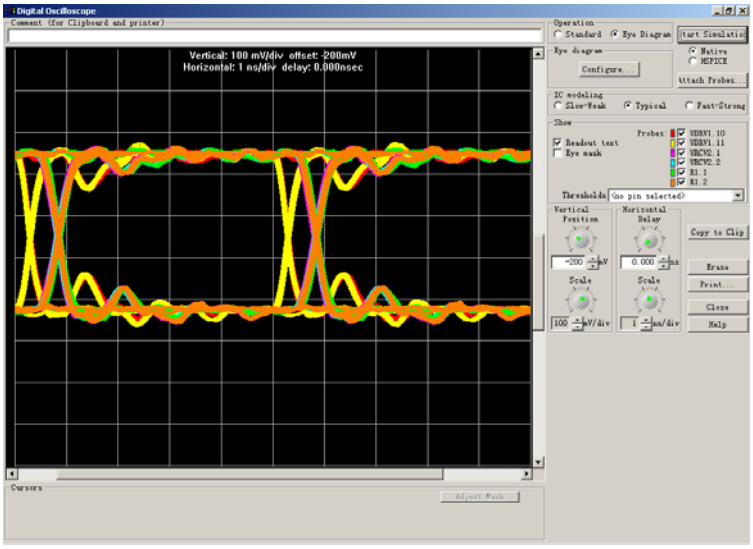


注意：您也可以使用文本文件的方式定义位模式，通过窗口右上方的“Load…”和“Save…”按钮进行加载和存储。

- 现在让我们改回 PRBS 位模式：在“Sequence”下拉框中，选 PRBS。
- 为了使仿真更加简洁，我们设置“Bit”值为 7（意味着 127 位）。
- 点击“确定”按钮关闭眼图对话框。

产生眼图

- 在示波器窗口，点击开始仿真“Start Simulation”按钮。
- 在示波器窗口中开始建立眼图，虽然我们现在还没有调整合适的放大比例，不能看到它的各个细节。
- 当仿真完成，点击示波器右边的“Vertical”－“ Scale”向下箭头，将其设置为 100mV/div。
- 拉到垂直滚动条到合适的位置，以让眼图可以位于示波器的中间位置。



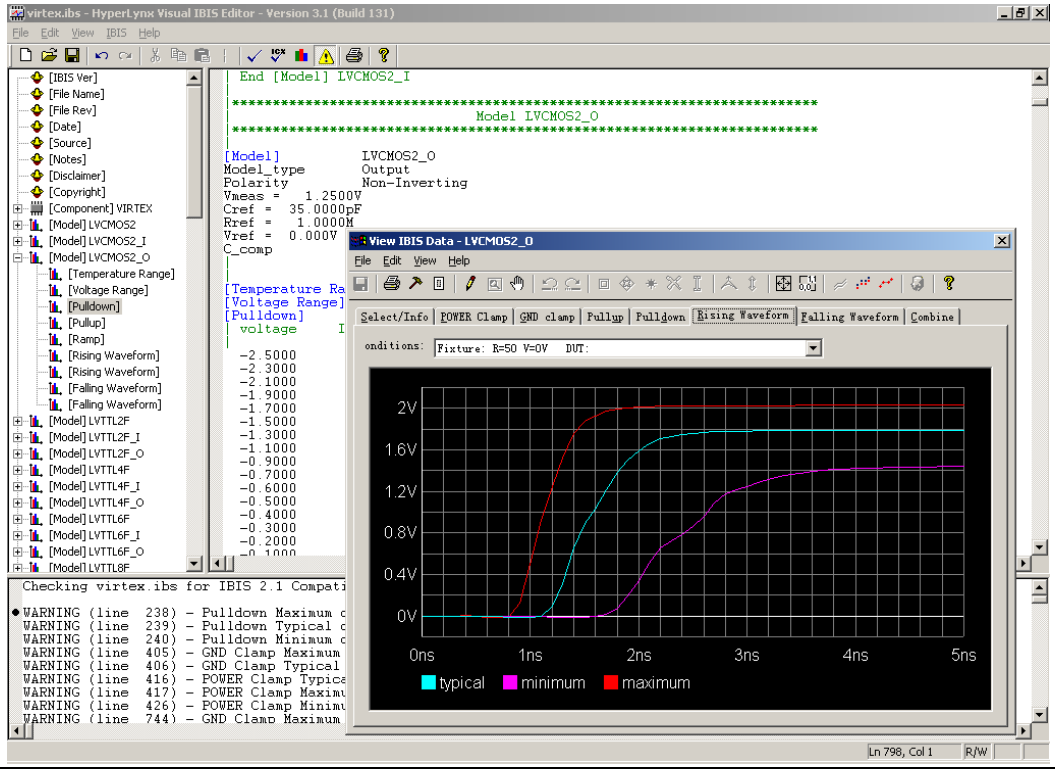
- 请注意眼图的睁开程度还是相当开的，但是确实不是很完美的；如果这是一个实际的系统，我们必须对比眼图与目标的技术规范，看看这个信号波形是否是可接受的。

看看进行眼图的仿真是多么的方便：首先将示波器设置在眼图模式；选择 PRBS 触发中期望的长度；最后进行仿真。眼图将在几分钟或更短是时间内产生。为了对比，可以用几种不同的工具产生眼图－特别在 HSPICE 中，但是特别烦杂。

请注意 HyperLynx 也可以使用 HSPICE 进行同样精确的仿真，使用同样的对话框进行触发的设置。这使得不得不使用 SPICE IC 模型进行仿真的用户提供了便利。

注意：HSPICE 仿真的速度较慢，而且，相对于 HyperLynx，ICX 或者 Mentor 的其他信号完整性工具，HSPICE 对于互连仿真的功能较弱。

直观的 IBIS 编辑器



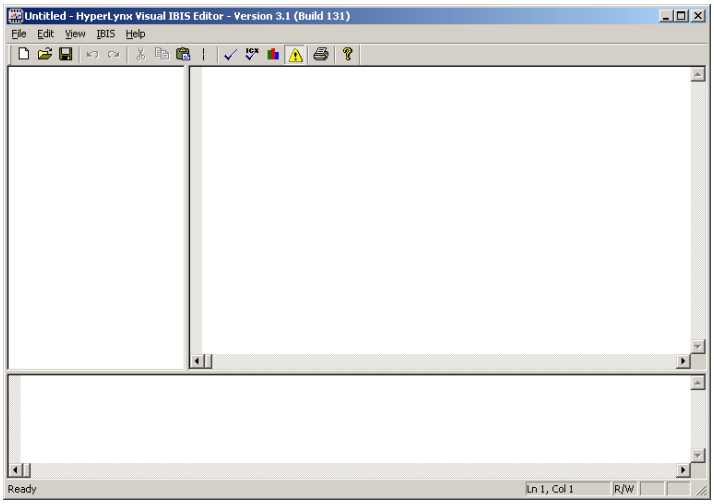
对于大量的信号完整性（SI）仿真在“真实世界”中是处理模型的问题，特别是 IBIS 的 IC 模型。事实上，许多信号完整性专家（花费了他大部分或所有的工作时间于信号完整性问题上的硬件工程师）报告说他们大约 50%-80%的工作量是收集、鉴定和维护 IBIS 模型；然而许多信号完整性软件的开发厂商更趋向于开发这个工具，好像仿真才是基本的瓶颈，认为 IC 模型是事后的事情。

Mentor 公司对这个问题的对策是 HyperLynx Visual IBIS Editor（HyperLynx 直观的 IBIS 编辑器），在 2003 年的第二季度已经发布了针对 HyperLynx 和 ICX 的标准。在 Mentor 的网页上也可以免费地使用，但是不包括一些高级功能，这些高级功能只有购买了 Mentor 的高速工具以后才可以使用。

直观的 IBIS 编辑器可以帮助所有类型的用户成功高效地建立 IBIS 模型。我们先来看看这个编辑器的一些主要特点。

这个 IBIS 编辑器软件可以单独运行于 Windows 机器上，也可以从 HyperLynx 软件的菜单中进行调用。

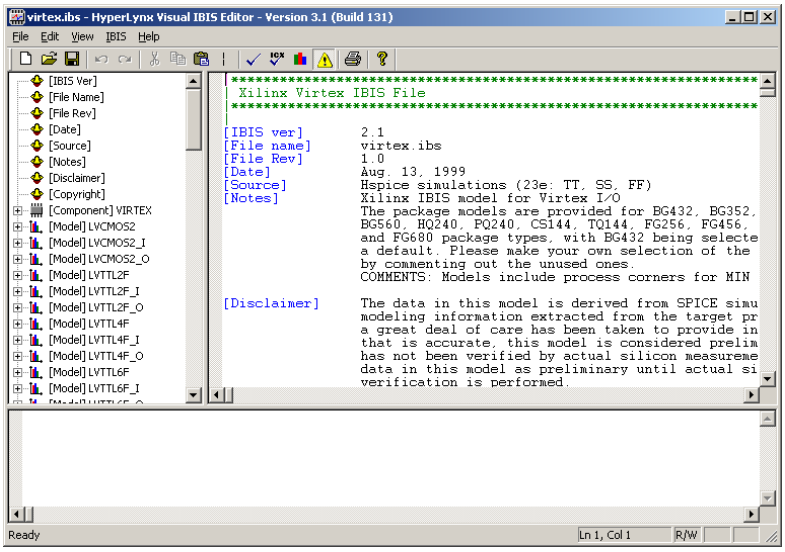
- **点击 HyperLynx 软件的菜单“Edit”－> “IBIS IC Models（.IBS）…”**
- **编辑器（HyperLynx Visual IBIS Editor）将被打开，等待加载 IBIS 文件。如下图。**



编辑窗口

现在我们加载一个比较大的 IBIS 模型到编辑器中：

- **选择编辑器的菜单“File”－> “Open…”；弹出“Open”窗口对话框，改变打开文件的路径到安装 HyperLynx 软件的“Libs”目录下。**
- **查找选择“virtex.ibs”文件，点击“打开”按钮。**
- **Xilinx 公司的 Virtex 系列 FPGA 的 Buffer 模型 IBIS 库将在编辑器中被打开。如下图。**



编辑器中右上方的大窗口是编辑窗口，基于 ASCII 文本文件的 IBIS 模型；对于经常建立和修改模型的用户就需要以文本的格式浏览或编辑 IBIS 文件。

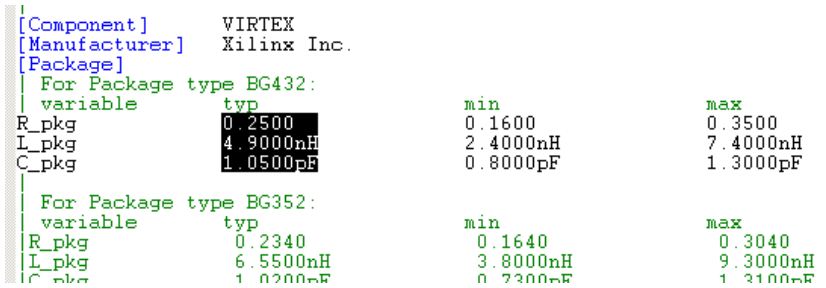
编辑窗口提供了一套丰富的编辑功能，类似于现在市场上基于 MFC 的编辑器。这个编辑主要包括以下特点：

- 多级的 Undo 和 Redo 操作。

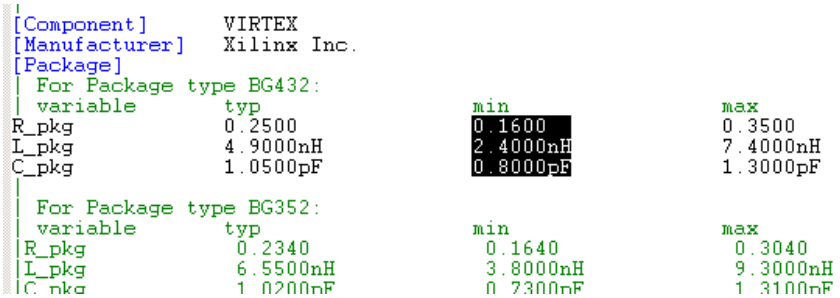
- 完整的 Cut/Copy/Paste/Delete 操作。
- 查找/搜索（Find/Search）功能。
- 支持替换（Replace）操作。
- Tab-to-space 的转换。
- 跳转到行（Go-to-line）的功能。
- 支持完全的 Windows 字体。
- 区域高亮（highlighting）/Cut/Copy/Paste 操作。

这几个编辑的功能对 IBIS 文件的编辑特别的有用，让我们看看使用区域编辑的功能是如何简单的操作。

- **在 IBIS 文件头附近，找到标为[Package]的部分；现在假设我们想拷贝“typ”栏目的数据到“min”栏。**
- **先按住键盘上的 Alt 键，用鼠标拖动选择“typ”栏目下的三个数据，让它们高亮显示，如下图。**



- **使用“Ctrl-C”拷贝此区域的数据。**
- **再使用 Alt 键高亮选择“min”栏下的三个数据。如下图。**



- **使用“Ctrl-V”将刚才拷贝的“typ”区域数据粘贴到“min”数据区域。**
- **如果您学会了这个操作，请使用“Ctrl-Z”键取消刚才的操作，以便将 IBIS 文件恢复为原来的状态。**

针对 IBIS 的特殊编辑器窗口

这个编辑窗口并不是一个普通的文本编辑器－它“知道”IBIS 的特殊语法，IBIS 的关键字可以被自动地识别并被标示为蓝色，以便于区别；另外，IBIS 的注释行也是被自动地标示为绿色。

- 如果需要创建一行 IBIS 的注释行，可以通过在行首的位置增加一个竖线的符号“|”；您可以试试在这个文件头中的蓝色[IBIS ver]行前面加一个竖线符号。
- 只要在行首一增加以上的竖线符号，这行注释马上就变成了绿色。
- 如果您学会了这个操作，请使用“Ctrl-Z”键取消刚才的操作，以便将 IBIS 文件恢复为原来的状态。

树型的模型结构浏览窗口

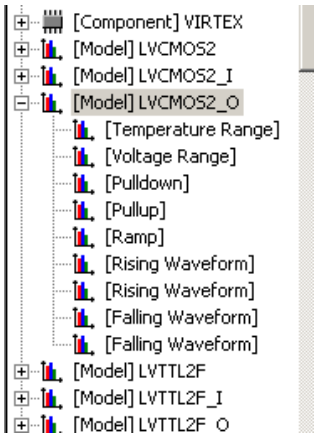
让我们牢牢记住整个 IBIS 文件结构通常是很困难的事，因为这个文本文件通常会有很多很多页(我们在这里打开的这个 Xilinx 模型文件就有好几百页长)。

为了帮助用户对一个很大的 IBIS 文件能够通过扫视一眼，便可以理解这个文件的结构，IBIS 编辑器包含了一个基于树型的模型结构浏览窗口，它位于软件界面的左上角。这个窗口提供了实时更新的、树型层次结构的 IBIS 文件内容的浏览。

以刚才打开的“virtex.ibs”文件为例，树型浏览窗口清楚地显示了文件包含了一些头信息、紧跟着是元件定义，然后是一长序列的 IBIS 模型（例如：IBIS Buffers)。还有列表中每个条目左边的“＋”号，代表其包含了子条目；您可以点击打开显示它的子条目。

树型浏览窗口也可以作为导航帮助；您也可以通过双击它方便地跳转到文件中相应的部分。

- 假设我们对模型 LVCMOS2_O 比较感兴趣（这个模型在列表中的从上往下的第三个位置)。在树型浏览窗口中双击 LVCMOS2_O，编辑窗口将跳转到这个模型文本段的起始部分。
- 如果我们还想了解更多的关于这个模型的结构，点击树型列表中 LVCMOS2_O 左边的“＋”号，以便扩展并显示其子条目内容。如下图。

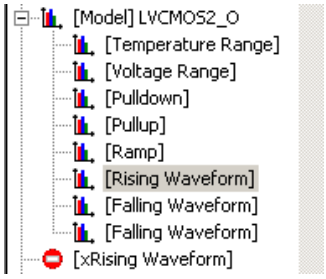


- 假如我们想看一下 LVCMOS2_O 第一个上升沿的波形表。双击

LVCMOS2_O 子项目中“[Rising Waveform]” 位置，编辑窗口将马上跳转到波形表的位置。

树型浏览总是保持更新状态，即使您正在编辑器中输入新的数据。如果一个错误被引入到模型中，树型浏览窗口能马上警告您。

- **在编辑窗口中，将光标定位在刚才的关键字”Rising Waveform”的大括号“[”后面。**
- **输入一个字母“x”，将其改为一个非法的关键字。**
- **请注意左边的树型浏览窗口中立刻显示出了您输入的非法关键字，并用一个红色图标“⛔”标示出来。如下图。**



- **如果您学会了这个操作，请使用“Ctrl-Z”键取消刚才的操作，以便将 IBIS 文件恢复为原来的状态。**

检查 IBIS 文件的品质

现在要搜寻 IBIS 模型相当的简单，大部分的 IC 供应商都提供了相关的 IBIS 模型在他们的网站上以便用户下载。可是，需要检测下载的文件是否没问题是一件需要花费大量时间的工作。

虽然许多方法可以检测 IBIS 文件的品质，对用户来说，首选的方法是运行 IBIS 委员会提供的“Golden Checker”（黄金检测器），来检测文件中是否包含一些非法的格式和严重的数据问题。这个检查可以很简单地通过 IBIS 编辑器来运行，因为这个检测器被集成在这个软件中。

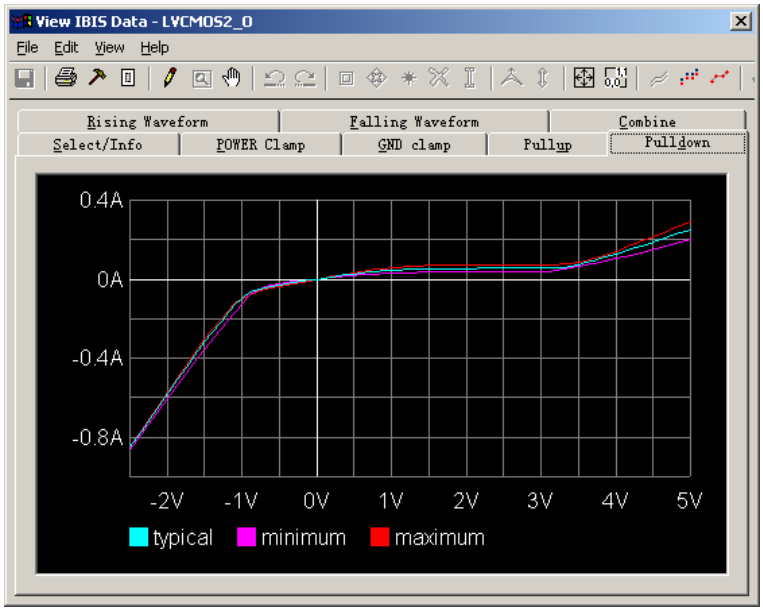
- **在工具条上，点击图标按钮 。**
- **检测器开始运行。**
- **当检测完成，在编辑器窗口下面的检测器窗口将显示出一些警告（有可能是错误）列表。**
- **双击列表中第一个警告的位置。**
- **编辑器窗口中的光标将跳转到产生这个警告的相应行。**

图形化的表格数据浏览

IBIS 文件中的许多数据都是表格形式，再将其描绘成曲线，不管是描述缓

冲器的直流电特性的 I/V 关系，还是描述缓冲器开关特性的 V/t 关系。实际上这些数据最好能以图形曲线的方式进行浏览。有幸的是，这个 IBIS 编辑器支持图形方式的浏览。

- **双击树型浏览窗口的 LVCMOS2_O 中的“Pulldown”，编辑窗口跳转到相应的数据表区域，简要地看一下表中的这些数据，试着想象一下它的曲线形状。**
- **现在右键点击树型浏览窗口中“Pulldown”条目，选择“View Data”。**
- **一个对话框被打开，以图形的方式直观地显示了表格数据；这就比刚才的文本数据易于理解得多。**

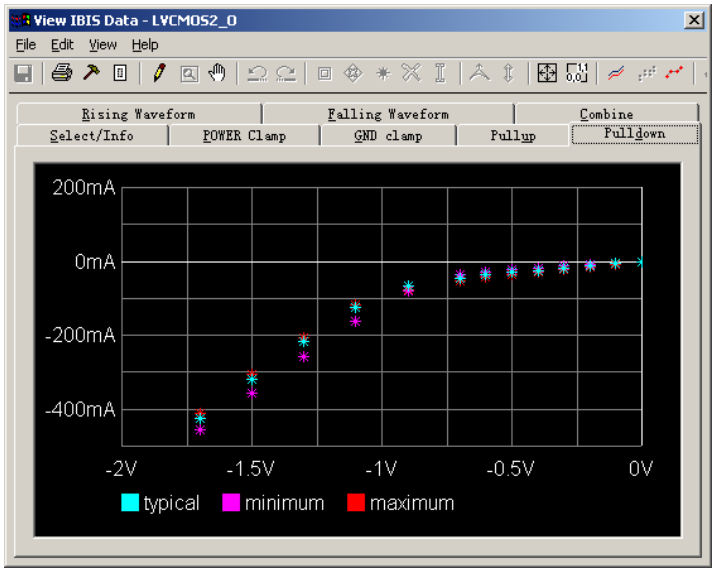


请注意表格数据中的各个列（min、typ、max）被分开用不同颜色的曲线描绘。

- **放大曲线的一部分：将鼠标移到图形区域，拖拉出一个您想详细数据的矩形区域。**
- **仔细看看放大的显示结果，它保持了合理的刻度值。**

在这个图形化的浏览对话框中包含了一些有用的浏览特点：

- **例如：在工具条上点击图标按钮 或 。**
- **在图形浏览区域描绘出了组成这些曲线的精确的各个点位置。如下图。**



其他浏览特点包括如下：

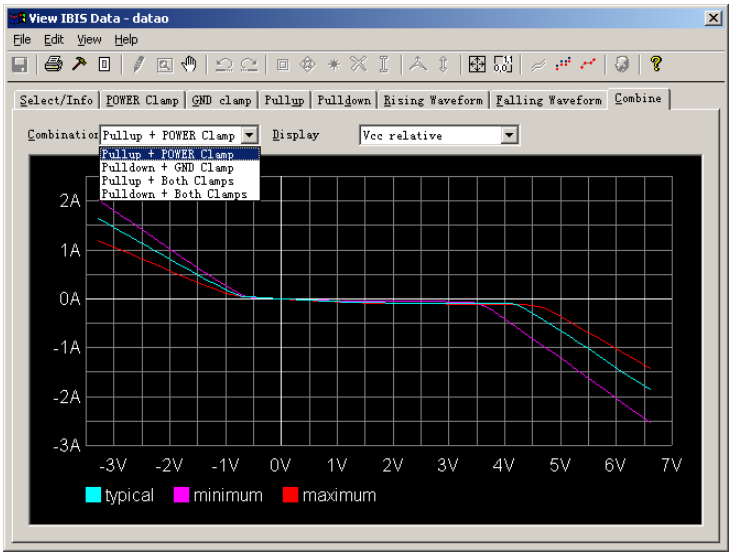
- 硬拷贝打印
- 无穷大的放大，以及双击鼠标恢复为原尺寸
- 平滑地取景
- 用户可定义的背景和曲线颜色
- 可以显示相对 GND 或者 VCC 的 Pullup 数据

高级浏览：综合表数据

对 IBIS 模型较认真的用户有时需要将几个表数据综合起来进行浏览。

以前，用户需要通过脚本文件来编写或者使用电子表格 Spreadsheet 来建立这样一个综合的数据。有幸的是，在这个 IBIS 编辑器可以自动地综合这些曲线，并且以图形化的方式显示结果。让我们看一个例子，现在我们需要加载一个包含钳位二极管数据的 IBIS 文件。

- **关闭图形化的浏览对话框窗口。**
- **在编辑器中打开“Cy1326x.ibs”文件。**
- **在树型浏览窗口，点击“[model] datao” 前的“＋”扩展它的子条目。**
- **右键点击 Pulldown 子条目，选择“View Data”，pulldown 的曲线窗口被打开。**
- **点击 Combine 表页。**
- **从“Combination”的下拉框中，选择不同的几组组合数据，可以看到不同的几种组合曲线。如下图。**



- **关闭曲线浏览窗口。**

高级特点：表数据的图形化编辑

直观的 IBIS 编辑器中有两个功能目前还是为 Mentor 的高速软件用户保留的。

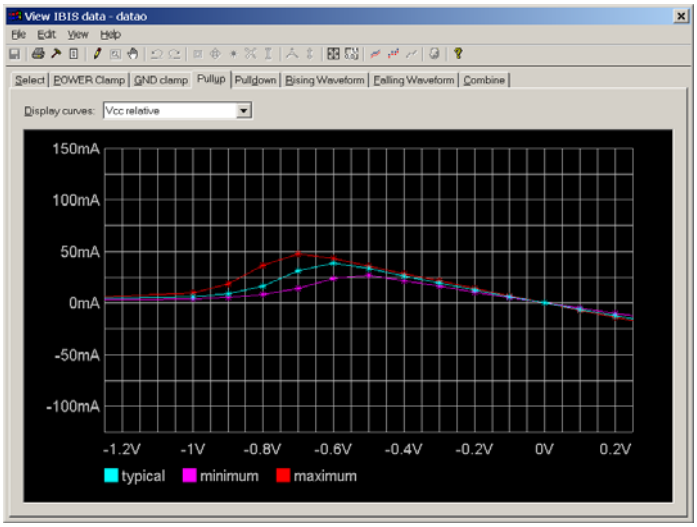
- 图形化地编辑表数据功能
- 可选的对普通 IBIS 文件中失配的 I-V / V-t 数据的自动校正功能

注意：这些保留的功能在编辑器中显示的是灰色，除非用户已经安装了 HyperLynx、ICX 或者 ePlanner 的授权。

这里，我们简要地介绍一下图形化的表编辑功能。

图形化的表数据编辑是相当诱人的功能，当用户正在浏览图形化的曲线时，发现有几个点明显地输入错误并不位于一条平滑的曲线上。那么，您只需要选中错误的点将其拉到正确的位置即可，而不要在文本编辑窗口中查找这些点然后校正它们。

- **在“[model] datao”条目的 Pullup 子条目中右键点击“View Data”。**
- **请注意在–1V 到 0V 之间所有曲线上都有一个“隆起”。**
- **放大显示这个“隆起”的区域。如下图。**

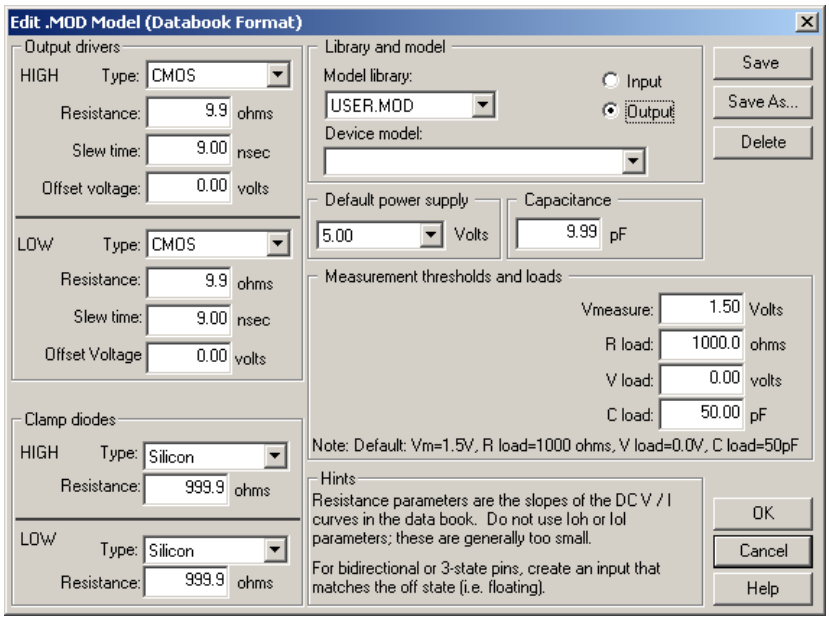


- 在工具条上点击图标按钮 ，进入图形化编辑功能。
- 当您移动鼠标经过曲线时，请注意相应的曲线给高亮。将鼠标移动到某一条“隆起”区域上的某点，按鼠标左键锁定鼠标到那个数据点。
- 移动鼠标到刚才锁定的点位置处，出现十字箭头，点击鼠标左键慢慢移动开始消除曲线中的“隆起”。
- 在其他点重复以上的步骤，直到您满意为止。
- 关闭对话框，点击“No”按钮，不保存您所做的修改。

图形化的编辑系统还有其他的一些有用的特点如下：

- 新的点的插入
- 点的删除
- 输入点的精确的位置
- 橡皮筋编辑模式，当一些点被移动时它会保持整个曲线的平滑性
- 锁住点，只能进行垂直运动

建立一个 Databook 模型



当找不到 IBIS 的 IC 模型时，HyperLynx 提供一个可替代的模型格式为“.MOD”。MOD 模型可以通过 IC 供应商提供的输出和输入缓冲器的数据手册参数自动生成。

➢ 点击菜单的“Edit”－> “Databook IC Models（.MOD）…”

您将看到一个对话框，显示了需要哪些参数才可以建立 Databook 模型。

输出模型需要的 Databook 参数

上面的对话框显示了您需要自动建立一个输出缓冲器的模型，需要的 Databook 参数。

具体的各区域信息在下面的表格中说明。

当您在编辑 MOD 对话框中输入完了各个值之后，选择右边的“Save As…”按钮，并为此模型起一个名字，将其保存。

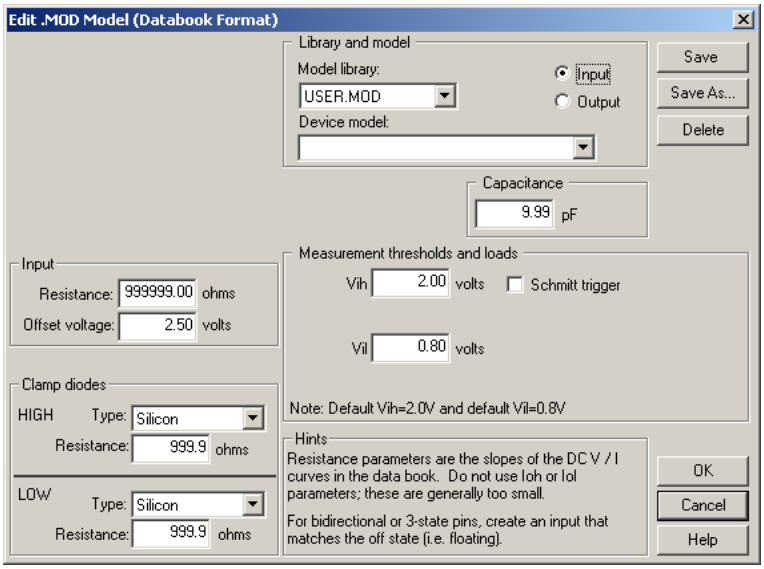
输入缓冲器模型也需要提供后面表格中的各种信息。

以下表格描述了输出缓冲器模型需要信息的详细解释：

输出缓冲器数据

Output Driver *Type*	描述了对高电平或者低电平的基本晶体管类型，选择： *CMOS, Silicon, Schottky, ECL*
Output Driver *Resistance*	描述了高低电平的驱动阻抗，如果有一条 I－V 曲线，这个参数就很容易地通过在曲线的线性部分（驱动饱和之前）画一条直线，计算ΔV/ΔI 的数值来得到。典型值一般位于 5 到 20 欧姆之间。这个参数不能从驱动的直流特性的最坏情况下得到（例如： Ioh/Iol）。
Output Driver *Slew Time*	无负载时，高电平或低电平状态开关从 10%-90%的时间。这个参数并不是大电容负载时的开关时间，例如 50 pF。典型值一般从 500 ps 到 5 ns。
Output Driver *Offset Voltage*	描述了对于电压线的高低电平的开关偏移量。典型地经常用于描述双极性 IC 当开关到高电平时离 VCC 的差距。对于 CMOS 设备典型值为 0。
Clamp Diode *Type*	描述了对高低电平钳位二极管的二极管工艺。可以选择：*Open*、 *Silicon*、 *Schottky*。“Open”意味着没有接二极管。典型的一般为 CMOS 的 silicon。
Clamp Diode *Resistance*	描述了高低电平状态时钳位二极管的有效电阻（例如：二极管在导通状态时 I－V 曲线的斜坡度）。如果数据手册没有提供，15 欧姆是一个理想的猜测值。
Default Power *Supply*	IC 典型工作时提供的电压，请从下拉列表中选择常用的值。
Capacitance	输出缓冲器的电容值；使用输出手册中的“输出电容”值，典型值为 5 pF 到 15 pF。

输入模型需要的 Databook 参数



上面这个对话框显示了产生输入缓冲器模型需要的参数。以下表格描述了输入缓冲器模型需要信息的详细解释：

输入缓冲器数据

Input *Resistance*	描述了在输入状态时有效的直流负载。对 CMOS 输入设置一个非常大的数值（999999 欧姆），对双极性工艺典型值为 500Ω - 10KΩ。
Input Offset Voltage	描述了在输入状态下的有效偏置电压。对 CMOS 设置为 Vcc/2，对于双极性工艺，典型值为 1.2 V。
Clamp Diode *Type*	描述了对高低电平钳位二极管的二极管工艺。可以选择：*Open*、*Silicon*、*Schottky*。“Open”意味着没有接二极管。典型的一般为 CMOS 的 silicon。
Clamp Diode *Resistance*	描述了高低电平状态时钳位二极管的有效电阻（例如：二极管在导通状态时 I—V 曲线的斜坡度）。如果数据手册没有提供，15 欧姆是一个理想的猜测值。
Capacitance	输入缓冲器的电容值；使用输出手册中的“输入电容”值，典型值为 3 pF 到 8 pF。

	入电容”值，典型值为 3 pF 到 8 pF。